



新型微系统的辐射效应与抗辐射加固技术

贺朝会^{1*}, 陈伟², 韩建伟³, 刘曦⁴, 李宁¹, 陈睿³, 罗尹虹², 姚志斌², 李培¹, 丁李利², 吴道伟⁴

1. 西安交通大学核科学与技术学院, 西安 710049;

2. 西北核技术研究院, 西安 710024;

3. 中国科学院国家空间科学中心, 北京 100190;

4. 西安微电子技术研究所, 西安 710065

*联系人, E-mail: hechaohui@xjtu.edu.cn

收稿日期: 2023-07-03; 接受日期: 2023-08-04; 网络出版日期: 2024-02-04

国家自然科学基金(编号: 11835006, 12275211)资助项目

摘要 本文介绍了微系统的发展历程、现状和趋势, 着重介绍了新型微系统: 系统级芯片和系统级封装, 分析了新型微系统面临的科学问题, 总结了新型微系统辐射效应研究现状, 给出了新型微系统在辐射环境中应用需要研究的问题: 辐射效应规律和机理、辐照效应实验测试方法、抗辐射加固技术, 期望加大财力、物力和人力的投入力度, 通过重大项目研究解决微系统在辐射环境应用中遇到的关键科学问题, 提高国产微系统的可靠性, 促进和保障国产微系统的国防应用.

关键词 微系统, 系统级芯片, 系统级封装, 辐射效应, 抗辐射加固技术

PACS: 61.80.-x, 61.82.-d, 42.88.+h, 94.20.wq

1 引言

微系统技术是由集成电路技术发展而来的, 经过了约20年的萌芽阶段, 即由20世纪60年代中期到20世纪80年代. 在萌芽时期, 主要开展微系统技术的零散研究. 例如, 一些研究机构和工业实验室开始利用集成电路的加工技术制造微系统技术器件, 如悬臂梁、薄膜和喷嘴; 微传感器的关键部件, 如单晶硅和多晶硅中的压阻被发现、研究和优化. 在20世纪80年代后期, 在微机械技术这个新领域主要研究硅的应用——

单晶硅衬底或者多晶硅薄膜. 多晶硅薄膜技术的应用产生了一些表面微机械加工的机械结构, 如弹簧、传动机械和曲柄等. 20世纪90年代, 全世界的微系统技术研究进入突飞猛进、日新月异的发展阶段. 成功的例子有美国Analog Devices(模拟器件)公司生产的用于汽车安全气囊系统的集成惯性传感器, 以及美国Texas Instruments(德州仪器)公司用于投影显示的数字光处理芯片. 相对于宏观的机电传感器, 微系统技术带来了两个重要的优点, 即高灵敏度和低噪声. 同时, 由于微系统技术采用批量生产, 而不是手工组装

引用格式: 贺朝会, 陈伟, 韩建伟, 等. 新型微系统的辐射效应与抗辐射加固技术. 中国科学: 物理学 力学 天文学, 2024, 54: 232001
He C H, Chen W, Han J W, et al. Radiation effects and radiation hardening technology of new microsystems (in Chinese). Sci Sin-Phys Mech Astron, 2024, 54: 232001, doi: 10.1360/SSPMA-2023-0216

的方式,有效地降低了传感器的研制成本.20世纪90年代后期,光微系统技术发展迅速.研究人员开发了微光机电系统和器件,希望能将二元光学透镜、衍射光栅、可调光微镜、干涉滤波器、相位调制器等部件应用到光学显示、自适应光学系统、可调滤波器、气体光谱分析仪和路由器等应用领域¹⁾.其中,微机电系统(Micro-Electro-Mechanical System, MEMS)是典型代表,它是尺寸在几毫米乃至更小的传感器装置,其内部结构一般在微米甚至纳米量级,是独立的智能系统²⁾,主要由传感器、作动器(执行器)和微能源三大部分组成.MEMS涉及物理学、半导体、光学、电子工程、化学、材料工程、机械工程、医学、信息工程及生物工程等多种学科和工程技术,为智能系统、消费电子、可穿戴设备、智能家居、系统生物技术的合成生物学与微流控技术等领域开拓了广阔的用途.常见的产品包括MEMS加速度计、MEMS麦克风、微马达、微泵、微振子、MEMS压力传感器、MEMS陀螺仪、MEMS湿度传感器等以及它们的集成产品.MEMS具有以下基本特点:微型化、智能化、多功能、高集成度和适于大批量生产.MEMS在国民经济和军事系统方面有着广泛的应用前景,主要民用领域是电子、医学、工业、汽车和航空航天系统.MEMS在航空航天系统的应用可大大节省费用,提高系统的灵活性,并将引起航空航天系统的变革.在军事应用方面,美国国防部高级研究计划局正在进行把MEMS应用于个人导航用的小型惯性测量装置、大容量数据存储器件、小型分析仪器、医用传感器、光纤网络开关、环境与安全监测用的分布式无人值守传感等方面的研究.该局已演示以MEMS为基础制造的加速度表,它能承受火炮发射时产生的近10.5个重力加速度的冲击力,可以为非制导弹药提供一种经济的制导系统.MEMS的军事应用还有:化学战剂报警器、敌我识别装置、灵巧蒙皮、分布式战场传感器网络等.MEMS被认为是继微电子之后又一个对国民经济和军事具有重大影响的技术领域,将成为21世纪新的经济增长点和提高军事能力的重要技术途径³⁾.

进入21世纪,基于微电子技术的微系统发展迅速.

国际半导体技术发展路线组织(International Technology Roadmap for Semiconductor, ITRS)将系统级芯片(System-on-chip, SoC)和系统级封装(System-in-package, SiP)列为两个高价值系统(图1)⁴⁾.

2016年之后ITRS被国际设备和系统路线图(International Roadmap for Devices and Systems, IRDS)取代,说明系统级新技术的重要性.

完整的微系统由传感器模块、执行元件模块、信号处理模块、外部环境接口模块以及定位机构、支撑机构、工具等机械结构构成.微系统是以微纳尺度理论为支撑,以微纳制造及工艺等为基础,不断融入微机械、微电子、微光学、微能源、微流动等各种技术,具有微感知、微处理、微控制、微传输、微对抗等功能,并通过功能模块的集成,实现单一或多类用途的综合性前沿技术.微系统是一项多学科交叉的新兴高新技术,在信息、生物、航天、军事等领域具有广泛的应用前景,对国家保持技术领先优势具有重要意义.

微系统技术融合了微电子、微机电和微光电技术,通过系统架构和软件算法,将微传感器、微控制器、微执行器、微能源及各种接口等构成一体化软、硬件多功能集成,采用微纳制造及微集成工艺实现系统结构的微纳尺度化,被公认为21世纪的革命性技术之一.微系统具有高集成度、微小型化、低功耗、高可靠性、高效率等优点.微系统技术上的新材料、新方法、新工艺等技术变革必将对军民两用系统研发和制造带来颠覆性影响.代表性的微系统主要有单片微波集成电路(MMIC)、多芯片模块(MCM)、MEMS、SoC和SiP.微系统正在寻求“单片高功率多功能芯片、多芯片三维组装(3DMCM)、异构集成、智能传感、堆叠式系统级封装”技术的创新和突破.微系统技术正向多功能一体化、三维堆叠、混合异构集成、智能传感等方向发展;微系统产品也正从芯片级、部件级向复杂程度更高的系统级应用发展.微系统技术的发展正聚集于前沿科技创新的重要领域,尤其在军事领域,未来也将有更多的武器系统基于微系统技术实现微小型化、高度集成化、智能化、轻量化,这些承载了众

1) https://wenku.baidu.com/view/22e9d7e9ae51f01dc281e53a580216fc700a53ee.html?_wkt_ =1679644009180.

2) <https://zhuanlan.zhihu.com/p/63375335>.

3) <https://baike.baidu.com/item/微机电系统/1718090>.

4) https://irds.ieee.org/images/files/pdf/2021/2021IRDS_MtM.pdf.

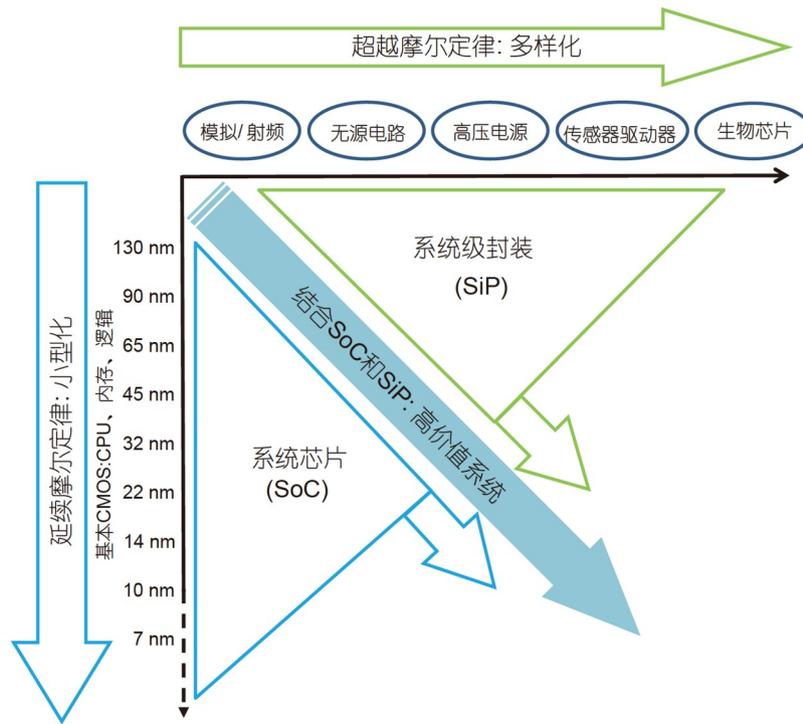


图 1 (网络版彩图) ITRS集成电路技术发展路线图⁴⁾
 Figure 1 (Color online) Technology roadmap for integrated circuits⁴⁾.

多高精尖技术的微系统武器将会对未来战场的作战模式产生颠覆性的变革⁵⁾。

ITRS的预言已经成为现实, SoC和SiP已经成为微系统的典型代表. SoC和SiP可以包含MEMS, 因此, 本文以新型微系统SoC和SiP为对象.

SoC将CPU/DSP、存储器、模拟电路、射频电路、传感器或MEMS等集成在一个芯片上, 以实现一个系统的功能. 微系统一般至少有1个CPU, MCU或DSP, 具有存储器(RAM, ROM, EEPROM或Flash)、硬件、固件、软件共存, 数字与模拟共存, 基带与射频共存, 小信号与大功率共存. 相对于印刷电路板(PCB), SoC的优势表现在: (1) 微型化: 体积小、重量轻; (2) 速度快: 传输路径短, 寄生效应弱, 内部总线速度远大于PCB总线速度; (3) 功耗低: 虽然系统芯片的功耗上升, 但整个系统功耗降低, 引线电容小; (4) 可靠性提高: 焊点数减少, 无触点, 干扰小, 屏蔽效果好. SoC具有功能集成度高、功耗低、速度快及可靠性高等优

点, 已成为微电子领域的重要发展方向.

SiP是应用三维封装技术将多个具有不同功能的电子元器件裸芯片封装成一个微系统, 一般包含微处理器和存储器等核心器件, 也会包含现场可编程门阵列(FPGA)、无源器件、MEMS、光电器件或其他器件等, 提供系统级的多个功能. SiP的作用是尽可能将一个完整的功能性电子系统或子系统高密度地集成在一个大小只有封装尺寸的体积内. 通过SiP封装集成尺寸较大的器件, 可实现系统性能上的跨越. (1) 小型化, 实现同样的功能, SiP的尺寸只需PCB的10%–20%, 在有的实践中, SiP面积只有原型板的5%以下. (2) 低功耗, 实现同样的功能, SiP只需PCB功耗的40%左右, 这是因为传输路径大大缩短, 消耗在传输路径上的功耗减小. (3) 高性能, 相对于PCB, SiP中信号传输路径短(仅为PCB上的1/10甚至更短), 芯片之间距离小, 传输频率可以更高; 没有多级封装和PCB板焊接带来的寄生效应影响. SiP专家李扬等人^[1]在报告中指出, 实现

5) <https://www.eet-china.com/mp/a129604.html>.

同样的功能, 与PCB原型板相比, SiP体积缩小为原有的1/4, 重量降为原有的1/2, 价格降为原有的2/3, 性能提升为原有的1.25倍, 质量等级提升1倍以上, 二者比较如图2所示.

SoC和SiP成为推动电子系统微型化、高性能、高可靠、轻量化、低功耗的有效方法, 是电子系统小型化和轻量化的必然选择.

美国国防先进研究计划局(Defense Advanced Research Projects Agency, DARPA)认为, 把更复杂的系统集成在芯片上, 实现微电子、光电子和MEMS的集成, 将大幅度提高国防能力. SoC已广泛应用于国外航天电子系统中. 美国航天局、欧空局、英国Surrey公司等都在积极进行空间SoC技术研究并取得了一定进展^[2]. 星载电子系统采用SoC技术已成为一种趋势. SiP技术已经成为相控阵雷达T/R组件的主流制造技术^[3]. 美国F22战斗机上的第六代TR组件, 采用了SiP技术, 实现了无源器件的内埋和三维立体集成^[3]. 随着制导武器机动性和轻量化要求及弹载计算机小型化的发展趋势, 把所有弹载电子设备集成到一起, 实现导弹控制系统的一体化, SiP是必然选择. 波音公司飞机武器部研制的任务计算机、导航计算机多是以DSP或32位微处理器为核心, 采用SiP工艺, 集成化、模块化程度高, 易于维护^[3]. 美国空军开展了宝石柱(PAVE PILLAR)计划、宝石台(PAVEPACE)计划、综合传感器系统(ISS)计划、多功能综合射频系统(MIRFS)计划; 美国海军开展了先进共享孔径项目(ASAP)、先进多功能射频系统(AMRFS)项目、先进多功能射频概念(AMRFC)项目、一体化桅杆(InTop)计划, 都在研发SiP^[4]. 美国佛罗里达大学研发了60 GHz生命特征探测微型SiP雷达; 中国台湾省制作了一款60 GHz四元阵列

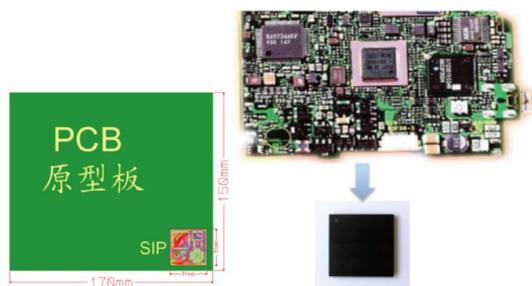


图2 (网络版彩图)实现相同功能, SiP与PCB原型板的比较(源于李扬的报告)^[1]

Figure 2 (Color online) Comparison between the SiP and PCB when they have the same functions (from the report of Yang Li) [1].

天线收发SiP; SiP已经应用在各个领域当中, 如存储芯片与逻辑芯片、无线收发模块以及可植入式生物传感器等^[5].

大力推进微系统技术在国防电子系统上的应用, 对提升我国航天和武器装备系统的研制能力和发展水平具有重要的战略意义.

正因为如此, 美国启动实施30年来最严对华芯片管制措施, 限制16 nm及以下小尺寸器件的对华出口, 小尺寸器件和基于小尺寸器件的SoC短期内存在难以克服的困难, SiP是我国集成电路实现超越发展的突破口, 也是短期内发展的必由之路. 并且, 我国SiP技术已经处于世界先进水平, 具备发展条件. 因此, 在我国, SiP是未来集成电路的重要发展方向之一, 也是超越摩尔定律的重要途径之一.

2 新型微系统面临的问题

与以往集成电路显著不同的是, 新型微系统具有高密度、内部模块间距小和封装体积小等特点, 使得在PCB板上存在并且需要考虑解决的问题在微系统层面表现得更加突出, 如无源器件与芯片的集成和互联技术, 互连基板的设计与材料选取, 内部电磁兼容和电磁辐射屏蔽的设计及加固等问题^[6]. 并且在微系统内部, 数字电路与模拟电路共存, 硬件和软件共存, 基带与射频信号共存, 小信号与大功率信号共存, 相互影响更复杂.

SiP中, 裸芯片之间间距减小, 三维芯片堆叠引起的散热问题和混合芯片间的噪声耦合、近场耦合问题都是以往集成电路不曾遇到的. 小型化与高集成度使得端口间距更小、器件更紧密, 这使得信号串扰问题更加严重; 晶体管数量的增加以及开关频率的升高对电源分布网络的影响更加突出; 同时电流密度增加带来的热效应问题也更棘手. 造成SiP失效的主要因素分为四大类: 电应力失效、热应力失效、机械损伤和环境应力失效^[7]. 前两者是主要的. 据统计, 由电应力造成的集成电路(IC)失效, 占半导体器件现场失效的50%左右. 热应力失效是指当温度高于芯片使用的极限温度时, 芯片性能将无法满指标要求, 严重时可能烧毁芯片. 温度每升高10°C, Si芯片寿命将缩短为原来的1/3^[7]. SiP通过电源分布网络(Power Delivery Network, PDN)给各个模块供电, 数字模块的开关电路或模拟电

路工作中产生的瞬时电流经由PDN产生同步开关噪声(Simultaneous Switching Noise, SSN)引起电压波动, 会延迟信号或使信号波形发生变形, 严重影响晶体管的工作状态: (1) 当芯片电源引脚间的电压过小时, 会阻止晶体管状态的翻转; (2) 当芯片电源引脚间的电压过大时, 会产生芯片工作可靠性问题; (3) 电压波动耦合到关闭的晶体管电路, 可能会引起信号的误触发; (4) 电压波动引起驱动器输出波形延迟, 严重时会产生信号的时序错误. 另外, 当大量高频电流注入时, 共振噪声会在电源和地之间传播, 引起严重的电磁辐射. 处理器中晶体管数量越来越多, 功耗越来越大. 为了控制晶体管的功耗, 供电电压不断减小, 从5 V降低到0.7 V, 致使电压噪声容限越来越小. 为了把电压噪声控制在噪声容限的范围内, 处理器的供电系统设计的目标阻抗越来越小, 已经达到毫欧姆量级. 与此同时, 为了提高处理器的速度, 处理器的主频越来越高, 信号开关速度更快, 致使SSN更严重^[8-11]. Wang等人^[12]指出, 当4个驱动器同时从低电平变到高电平时, 电源电压会从5 V降低到3.27 V; 同时从高电平变到低电平时, 电源电压会从5 V升高到6.18 V, 如图3所示, 电源电压因开关噪声而剧烈变化, 随着驱动器数目的增加, 电源电压变化更为剧烈. 混合芯片间的噪声耦合会引起系统性能下降, 小的封装尺寸致使芯片间的噪声干扰问题更严重.

微系统用于辐射环境中, 辐射成为新的突出的制约因素. 空间辐射环境中的重离子、质子和电子以及核辐射环境中的中子、 γ 和电磁脉冲会在多芯片高密度集成的微系统中产生与单一芯片和大尺寸PCB电路的辐射效应不同的新问题, 会严重影响微系统原本优

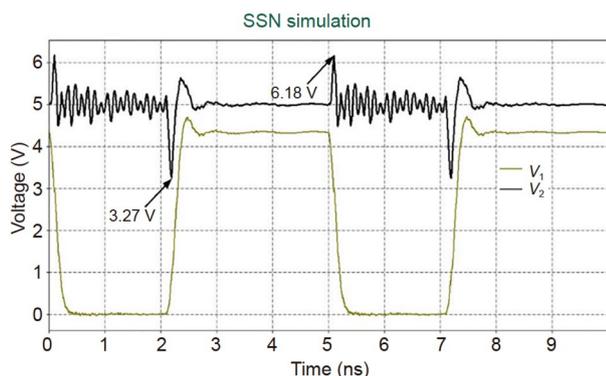


图3 (网络版彩图)开关噪声对电源电压的影响^[12]

Figure 3 (Color online) Influence of switching noise on power voltage [12].

越的系统性能, 加剧其严峻的可靠性设计挑战, 成为制约微系统在辐射环境中应用的关键问题. 只有掌握了微系统辐射效应规律, 才敢在辐射环境中应用微系统; 只有清楚微系统的辐射效应机理, 才能提出抗辐射加固方法, 研制出抗辐射的微系统. 微系统的辐射效应成为微系统在辐射环境中应用的关键问题. 只有解决了微系统在辐射环境中应用时遇到的辐射效应问题, 微系统才能真正应用于航天器和武器中.

一般认为, SiP是裸芯片的汇总, 其辐射效应应该与裸芯片和电路板相同, 但是, 我们的SiP瞬时 γ 剂量率效应研究表明, SiP的瞬时 γ 剂量率效应与PCB原型板不同, 特别是SiP瞬时剂量率效应阈值比原型PCB的低, 甚至低一个量级. 国外的SiP研究结果表明SiP的抗总剂量水平比同样功能的电路板高两倍^[13]. 目前的2.5D/3D SiP都使用硅通孔(Through Silicon Via, TSV)工艺, 其主要结构是一种由金属、氧化层、衬底组成的MOS结构, 并且氧化层较厚(300 nm–1 μ m左右), 生长工艺一般为湿氧, 缺陷和氢元素较多. 在辐射环境下, TSV的氧化层中和 SiO_2 -Si界面处会产生氧化物陷阱电荷和界面陷阱电荷, 金属与衬底之间的漏电会增大, MOS电容会发生变化^[14]. Zeng等人^[15]研究了500 Gy总剂量辐射对SiP中的TSV的漏电流和电容特性的影响, 结果表明辐射对TSV的可靠性有明显的影 响. 然而, Li等人^[16]预估TSV工艺可能会改变栅氧化层和场氧化层中电荷陷阱的性质, 但实验结果表明影响很小. TSV对总剂量效应的影响还未达成共识, 其差异原因有待深入研究. SiP中用到大量聚合物, 辐射会导致聚合物性能退化, 影响SiP的可靠性和寿命. TSV可能不影响单粒子效应, 目前还没有TSV影响SiP单粒子效应的实验结果, 但3D堆叠会使高能粒子穿过SiP中多个模块的概率明显增加, 容易导致单粒子多模块错误; 也给重离子单粒子效应实验带来了挑战, 能量低的重离子很难穿透堆叠层进入单粒子效应灵敏区. 空间辐射环境中的电子作用于航天器平台材料部件或直接作用于多材料紧凑封装的SiP, 较易形成充电和放电, 放电电磁脉冲极易干扰高密度集成的SiP多个芯片并进一步扩散传播, 会导致全局性的电源分布网络信号波动、大范围的数模信号扰动与串扰等, 轻则使得SiP出错、紊乱, 重则使得SiP宕机甚至毁坏. 多材料紧凑封装与多芯片高密度集成的SiP的单粒子效应、充放电效应、总剂量效应、位移损伤效应和电磁脉冲效

应预计会比裸芯片和电路板的更严重。

多芯片高密度集成与多材料紧凑封装的微系统应用于辐射环境中, 必然会出现新现象, 遇到新问题, 产生新机理. 例如, 多芯片高密度集成, 模块之间间距缩小, 新型微系统的热、电、辐射耦合会更严重; SiP的电源分布网络对SiP各模块的影响很大, 其开关噪声和信号串扰对SiP的影响机理是重点; TSV工艺中的氧化层较厚, 生长工艺一般为湿氧, 缺陷和氢元素较多, 可能会出现总剂量效应与剂量率效应的耦合; SiP中用到大量聚合物, 辐射会导致聚合物性能退化, 这是以往PCB辐射效应不考虑的. 由于多种辐射效应的发生, 会使新型微系统工作异常, 对异常的处理需要消耗电源, 这样会减少系统的寿命; 另外, 总剂量效应会使微系统一些参数指标发生漂移, 如果漂移出允许范围, 新型微系统就无法正常工作, 即寿命缩短. 微系统辐射效应是辐射物理研究领域新的生长点, 也是我国抗辐射集成电路发展必须解决的关键问题之一.

我国已在SiP技术领域具有优势, 需要系统深入地研究国际上刚刚起步的SiP辐射效应问题, 使我国在该新方向获得先发优势, 同时支撑我国在SiP技术方面继续赢得优势, 为打破美国对我高端集成电路封锁、助力国防强国发展做出不可或缺贡献.

因此, 微系统的辐射效应关键问题研究具有重大的战略意义和强烈的需求背景.

3 新型微系统辐射效应研究现状

3.1 SoC的辐射效应研究现状

2010年, 美国宇航局电子元器件与封装部(NA-SA's Electronics Parts and Packaging Program, NEPP) SoC器件年度报告中明确提出建立SoC器件及相关微处理器的辐射效应测试方法, 为美国航空航天局(National Aeronautics and Space Administration, NASA)提供相应的SoC辐射效应测试数据, 选择能够应用于空间任务的SoC器件是今后NEPP SoC的主要任务, 同时该报告提供了UT699 SoC和Maestro SoC单粒子效应测试方法和测试结果^[17]. 2012年发布的年度报告中继续提及了建立SoC辐射效应测试方法的重要性, 指出了建立SoC辐射效应测试方法的难点在于如何测试和评估SoC内部更多的功能模块, 而目前的测试方法仅限于寄存器测试、SRAM测试和Cache测试, 因此建立

SoC辐射效应测试指南还需要做大量的工作^[18]. Neishaburi等人^[19]提出了一种新的定量方法, 通过可执行模型来估计SoC内部不同模块的软错误率(SER), 比以前的误差估计技术准确17%. 2016年, 欧洲宇航局Mascio等人^[20,21]继续提出由于目前没有标准的SoC辐射效应测试方法, 开展SoC单粒子效应测试方法研究具有重要意义. Kalashnikov等人^[22]给出了一套用于不同级别SoC抗辐射加固的基本参数标准, 提出了可操作性强的SoC辐射测试方法和技术设计. Azimi等人^[23]针对车用SoC开发了一种新的故障注入系统来研究位翻转的影响, 允许测试系统的所有资源, 如存储器、寄存器、互连信号和混合信号模块. Di Mascio等人^[24]报告了应用标准⁶⁰Co源和低能质子束对SoC进行总剂量测试的设置、程序和结果, 特别指出了应用质子束和常规伽马射线进行总剂量测试在方法上的差异和挑战, 提出了新的测试设置和程序, 能够模拟典型任务工况(时钟、偏置、软件、重新编程等), 同时保持测试设置尽可能简单.

在研究SoC辐射效应测试方法的同时, NASA利用地面加速器开展了一系列SoC单粒子效应实验和总剂量效应(TID)实验, 得到了一些SoC单粒子效应实验数据和单粒子效应敏感模块^[25-28]. Austin等人^[29]定量研究了Xilinx生产的COTS多核微处理器SoC的SER, 并用64 MeV质子束测量了Xilinx-Zynq处理器子系统的SEU敏感性. 针对Xilinx Zynq可编程逻辑子系统(PS), Giovanni^[30]研究了温度对大气中子SER的影响. 针对Xilinx Zynq-7000 FPGA, Mehran等人^[31]测量了重离子导致多模块SEE的截面. David等人^[32]基于Zynq-7000 ARM®Cortex™-A9处理器单元的质子辐照结果预估了空间SER. 针对Xilinx 28 nm Zynq-7000 SoC, Tambara等人^[33-35]进行了各种测试和分析: 在电源电压和温度变化的条件下, 采用重离子和质子测量了其SEE灵敏度; 比较了不同存储器配置的SEE敏感性; 分析了基于不同设计的性能和可靠性之间的权衡. Lentaris等人^[36]测试了28 nm Zynq7000的总剂量效应, 结果表明其可抗Mrad电离总剂量, 参数退化在5%以内, 无功能错误和空间响应不均匀问题. Vlagkoulis等人^[37]使用超高能重离子表征Xilinx Zynq-7000 FPGA SEE性能. 除了Xilinx 28 nm SoC, 对其他公司生产的SoC也开展了辐射效应测试, 如文献^[38]对SmartFusion2 APSoC研究了处理器系统设置对其可靠性的影响. Avner Haran应

用 α 粒子和中子表征了极低功耗的SoC中SRAM的单粒子效应^[39]. Badia等人^[40,41]比较了质子辐照下不同资源应用情况下GPU加速的SoC性能及其辐射敏感性, 资源应用越多, 单粒子效应截面越大; 大部分辐射错误导致运行中止和系统重启.

2017年, 第一次针对基于16 nm FinFET工艺的Xilinx SoC开展了高能中子、热中子和64 MeV质子的单粒子效应实验研究^[42]; David等人^[43]测试了质子单粒子效应截面, 并预估了空间单粒子翻转率; David等人^[44]开展了重离子和中子单粒子闩锁和翻转实验研究; Maximilien等人^[45]观察到超高能量重离子导致的单粒子翻转; Pierre等人^[46]提出了一种测试方法应用Xilinx System Validation Tool (SVT)设计表征SoC单粒子效应; Pierre等人^[47]应用64 MeV质子辐照研究了SEM IP核的SEU响应; Philip等人^[48]测试了质子单粒子闩锁和翻转的敏感性; Jordan等人^[49]给出了复杂可编程多核SoC的中子测试方法和单粒子效应辐照实验结果. Ballan等人^[50]针对多核SoC的单粒子效应, 应用辐照测试评估了ISO 26262和IEC 61508的优点.

关于抗辐射加固技术, Herkersdorf等人^[51]提出一个基于概率故障分离和错误传播框架的关键节点恢复模型提高SoC软硬件层次的抗辐射能力. Eduardo等人^[52]提出了通过软件实现硬件容错技术, 并通过模拟和重离子辐照实验来验证. Aaron等人^[53]提出一个策略通过内部处理器配置接口高速擦除Zynq-7000 SoC的可编程单元错误. Adria^[54]应用双核互锁设计减少软错误. Farah等人^[55]设计一种可完全测试的SEU缓解(LETSM)系统修复Xilinx SoC配置中的翻转. James等人^[56,57]开发了一个编译器协助的软件容错工具, 并测试了加固性能. Abouzeid等人^[58]提出一个集成了总剂量补偿功能的抗辐射加固的CortexR4F SoC原型, 应用28-nm FD-SOI工艺进行了设计和制作, 并采取纠错码(ECC)和位交错存储器、优化的辐射加固顺序单元和敏感逻辑单元滤波等技术提高其抗单粒子效应的能力.

在上述研究的基础上同时开展了SoC应用方面, Tambara等人^[59]介绍了基于65 nm CMOS工艺的采用四核容错LEON4处理器的抗辐射SoC的空间在轨单粒子效应: 在正常运行应用程序的情况下, 尽管内部存储器发生了大量的单粒子效应, 但都被成功纠正了, 证明了抗辐射加固措施的有效性. Iturbe等人^[60]介绍了在美

国国家航空航天局喷气推进实验室(JPL)使用Xilinx Zynq SoC设备实现傅里叶变换光谱仪(即成分红外成像光谱仪(CIRIS))的数据处理的经验. 还讨论了在CIRIS控制器SoC中实现的不同容错技术, 以应对深空环境中普遍存在的恶劣辐射条件. Villalta等人^[61,62]提出基于比特流的单粒子翻转模拟器评估SoC的单粒子效应, 预估单粒子翻转率. Chen等人^[63]给出了KeyStone™ II SoC 66AK2L06中DSP核的质子SEU截面, 预估了空间轨道的单粒子翻转率; 器件对SEL免疫, 总剂量水平至少9 krad(Si). Christian等人^[64]为小型卫星设计了容错MPSoC. 欧洲核子中心辐射监测电子学系统使用完全可重新配置的28 nm Xilinx Zynq SoC进行高端嵌入式计算、通信和数据存储, 通过三选二表决、软错误缓解、存储器和核心参数的纠错等技术, 建立一个容错体系结构来维护系统运行安全^[65]. Khanh等人^[66]提出了精确的基于软错误恢复机制的3D Network on Chip的可靠性评估和定量计算, 可以恢复路由器的不同流水线阶段中发生的瞬态错误. Brittany^[67]采用单粒子翻转减缓技术研究了神经网络的SEU可靠性. Douglas等人^[68]介绍了一种基于RISC V的SoC, 并进行了大气中子辐照实验, 确定了SoC最关键的模块, 通过嵌入加固技术可以校正98.1%的检测到的扰动. Georgios等人^[69]提出包含辐射加固存储器控制器和存储器数据评估器的SoC, 可以测量单粒子翻转、单粒子瞬态(SET)和单粒子闩锁(SEL), 用于航天器内务管理和操作. Wächter等人^[70]利用机器学习在伽马辐射下对SoC进行异常检测, 基于FPGA, 使用机器学习算法来解决TID效应, 在SoC停止工作之前对其进行监测, 在电路板完全不起作用之前, 可以检测到所有异常情况.

国内, 中国科学院计算技术研究所^[71]自行研制了一款具有完全自主知识产权的高性能处理器——龙芯, 设计了能够应用于航天器中的抗辐射加固龙芯SoC: RH_GSI_SoC. 使用⁶⁰Co γ 射线开展了总剂量效应实验, 结果表明RH_GSI_SoC总剂量达到180 krad(Si). 同年在中国科学院近代物理研究所重离子加速器国家实验室开展了单粒子效应实验, 实验结果表明RH_GSI_SoC单粒子锁定LET阈值为75 MeV cm²/mg. 中国航天科技集团公司第五研究院(航天五院)502所研制了完全自主产权的宇航级SoC (SoC2008)^[72], 并于2012年10月14日成功地应用于我国实践九号卫星的主星上. 该款SoC芯片采用130 nm CMOS工艺, 工作频率

为100 MHz, 针对单粒子翻转、单粒子锁定和总剂量效应进行了专门的抗辐射加固设计, 其中总剂量效应为100 krad (Si), 单粒子翻转率为 3×10^{-8} 错误每部件每天. SoC2008芯片的成功应用标志着我国初步掌握了SoC设计、SoC抗辐射加固设计及SoC辐射效应测试方法. 珠海欧比特推出抗辐射型高性能32位四核并行处理器^[73]. 陈晨^[74]以航天应用为背景, 设计了一款SoC芯片, 主要包括CAN控制器、MCU软核、SRAM和ROM四大模块. 为了满足SoC系统的可靠性, 在进行RTL代码编写过程中, 考虑了抗辐射加固设计方法. 对CAN控制器模块的状态机模块采用EDAC进行设计; 对易发生单粒子效应的SRAM模块采用了定时刷新机制和EDAC技术相结合的方法, 故障注入实验表明经过加固设计的SRAM模块可以纠正一位错误检测两位错误. 为了进一步提高芯片的抗辐射, 尤其是抗单粒子辐射性能, SoC芯片在物理实现时选择了130 nm SOI工艺平台, 其中时序路径选择抗辐射加固的时序单元, 组合路径的加固设计则是在SoC设计的综合过程中, 通过施加特殊约束选择组合逻辑单元来实现的. 张荣兵等人^[75]提出一种适用于卫星导航SoC芯片的系统级仿真验证方法, 能有效提高仿真覆盖率, 更真实地反映卫星导航SoC芯片的工作细节, 帮助设计者尽早发现卫星导航SoC芯片原型设计错误, 有效降低流片风险. 张启东^[76]从设计角度出发, 针对抗辐射多节可级联锂离子电池监控和管理系统芯片需求, 重点研究了锂电池监控与管理芯片在实际设计中的关键技术及电路结构, 同时对其抗辐射加固技术进行了深入研究, 解决了锂电监控与管理芯片采集速度慢、芯片面积大、抗干扰能力弱、电池采集时温度漂移大及高压抗辐射能力弱等诸多难题. 针对抗辐射要求, 基于环源环漏结构, 采用了一种新的抗总剂量版图结构, 提高了数字器件较为精确的宽长比提取, 在满足抗辐射指标的同时节省了芯片面积; 针对高压电路抗辐射问题, 特别是单粒子问题, 经过数次电路改进, 基于单粒子激光模拟实验和高剂量单粒子摸底实验, 解决了37 MeV (单位应该是 $\text{MeV cm}^2/\text{mg}$)单粒子辐射条件下高压电路单粒子烧毁问题, 形成了“单粒子烧毁路径抑制技术”. 柳泽辰等人^[77]搭建了一个包括PowerPC, DRAM, DMA, SRAM模块的SoC系统级设计平台, 并采用VCI总线协议实现互连, 提出并实现了三模冗余与ECC纠错编码相结合的存储加固方法, 通过图像数

据处理程序, 分析比较了利用冗余和编码带来的可靠性提升. 系统级仿真结果表明, 提出的高可靠设计可以显著提高SoC的可靠性. 李美慧^[78]针对辐射效应对半导体器件造成的影响, 在电路级采用DICE单元与C单元结合结构, 版图级采用保护环结构的加固技术. 依据SMIC 0.18 μm 工艺的物理设计准则, 完成扫描测试D-触发器单元的加固设计, 验证该单元抗辐射能力. 参照商用SMIC 0.18 μm 工艺标准单元结构组成, 进行扫描D-触发器单元物理和时序信息的提取, 完成该单元抗辐射标准单元库的建立, 使其可用于抗辐射加固SoC芯片的可测性设计中. 针对ARM-Cortex-M3抗辐射加固SoC芯片的特殊性, 对SoC芯片逻辑功能部分采用扫描测试设计, 并在传统扫描结构基础上进行优化, 采用一种压缩扫描测试方法, 比较两种方法的测试覆盖率和测试时间. SoC芯片中嵌入式SRAM进行MBIST测试结构设计, 从减少测试时间和减少功率两方面, 采用能够覆盖大多常见存储器故障模型的March C+算法, 仿真结果表明应用于MBIST设计中March C+算法的正确性, 使得SRAM具有自测试功能. 牛停举等人^[79]介绍了多核并行处理器SoC芯片S698PM的设计及抗辐射性能指标, 分析得出SoC芯片S698PM可以为满足航空航天系统中对国产化、抗辐射、高可靠嵌入式处理器的迫切需求. 何志敏等人^[80]介绍一种基于RISC-V指令集处理器的星载信息微系统电路设计方案, 采用基于RISC-V指令集的双核处理器作为微系统控制核心; 通过架构优化设计集成RISC-V处理器核、FPGA、存储芯片、接口电路等; 考虑空间环境的影响, 通过结构级抗辐射加固设计提升微系统电路的在轨运行可靠性. 赵小莉等人^[81]针对宇航用SoC芯片数量少、成本高、可靠性高的产品特点和存在的问题及风险点, 通过不断的研究和实践, 形成了一套SoC芯片研制生产过程的精细化产品保证方法, 保障了宇航SoC芯片精细化产品保证工作的全面实施, 从而大幅度提升了星载导航SoC芯片的产品合格率和产品质量. 杨榕等人^[82]对采用55 nm商用工艺生产的国产某型号导航SoC器件的辐射敏感性分析表明, 其易受单粒子效应影响, 利用重离子加速器完成空间单粒子辐照的地面模拟试验, 结果表明, 器件抗单粒子锁定的LET阈值大于 $81.4 \text{ MeV cm}^2/\text{mg}$, 满足空间应用指标要求; 但器件对单粒子翻转和单粒子功能中断较为敏感. 利用ForeCAST软件计算得到GEO、Adams

90%最坏环境模型, 3 mm (Al)屏蔽条件下器件的DFT模式单粒子翻转率为 $6.80 \times 10^{-8} \text{ d}^{-1} \text{ bit}^{-1}$, SRAM模式单粒子翻转率为 $5.61 \times 10^{-11} \text{ d}^{-1} \text{ bit}^{-1}$, 单粒子功能中断率为 $5.24 \times 10^{-5} \text{ d}^{-1}$, 在轨应用时需要采取相应的防护措施.

以Xilinx公司的28 nm系统级芯片Zynq-7000为研究对象, 杜雪成、杨卫涛课题组^[83-106]系统研究了SoC辐射效应. 开展了 α 单粒子效应实验和低能质子单粒子效应实验, 测得系统级芯片的 α 单粒子效应敏感模块、单粒子效应截面及不同模块质子单粒子效应截面随能量变化的关系曲线, 评估了Xilinx Zynq-7000 SoC中7个模块的 α 粒子^[87]和低能质子^[88]的单粒子效应敏感性; 开展了故障注入和概率风险分析研究^[85,96], 获得了系统级芯片多个功能单元的敏感单元以及故障表现类型, 并且通过建立系统芯片软错误故障树, 定量计算了系统芯片及其各功能单元的故障率和不可用度, 确定了系统和子系统敏感模块. Yang等人^[94]应用重离子微束辐照研究Xilinx 28 nm SoC的单粒子敏感部位. Liu等人^[89]应用激光辐照研究了Xilinx 28 nm SoC的单粒子效应敏感性. 贺朝会等人^[104]出版了关于SoC单粒子效应研究专著《纳米级系统芯片单粒子效应研究》.

SoC辐射效应加固方面, Liu等人^[107]提出了一种软硬件协同的系统方法来保护SoC免受软错误的影响, 在处理器内核中嵌入微小的硬件传感器来检测软错误, 并应用基于软件的回滚调度机制进行错误恢复. Du等人^[108]提出通道冗余加固方法增强SoC系统中DMA的抗软错误能力; 基于双核处理器, 文献^[109]提出了嵌入式系统抗单粒子翻转的故障容错方法; 基于FPGA的容错技术, Wu等人^[110]给出了减少软错误的控制器.

纵观国内外SoC辐射效应及抗辐射加固研究现状, 与国际领先水平相比, 国内抗辐射加固SoC类型较少、特征尺寸大、性能较低、抗辐射能力较弱, 并且在SoC单粒子效应测试方法、实验及机理方面的研究成果较少.

3.2 SiP的辐射效应研究现状

关于SiP的辐射效应, 美国NASA Electronic Parts

and Packaging (NEPP) Program指出, 先进的3D封装给辐射效应带来了挑战⁶⁾. 目前, 国内外仅查到少量关于SiP单粒子瞬态脉冲^[111]、总剂量效应^[13,15,16]、瞬时剂量率效应^[112]和电磁脉冲效应^[113]的论文, 还未见更多关于SiP辐射效应的论文.

Rajkowski等人^[111]研究了SiP中单粒子瞬态脉冲(SET)的传播问题, SET会从参考电压传播到运算放大器, SET具有足够高的正峰值和不显著的负峰值. SiP的⁶⁰Co和X射线辐照实验结果表明SiP的抗总剂量水平比同样功能的电路板高两倍^[13]. Zeng等人^[15]研究了500 Gy总剂量辐射对3D-SiP中的硅通孔漏电流和电容特性的影响, 结果表明辐射对TSV的可靠性有明显的影响. 然而, Li等人^[16]预估TSV工艺可能会改变栅和场氧化层中电荷陷阱的性质, 但实验结果表明影响很小.

关于SiP的核辐射效应, 仅本团队开展了SiP的瞬时剂量率效应^[112]和电磁脉冲效应^[113]研究, 尚未查到SiP的瞬态中子和X射线辐射效应方面的研究论文. SiP的瞬时剂量率效应实验结果表明, 瞬时剂量率低于 10^8 rad(Si)/s 时, SiP与器件和功能完全一样的原型PCB都工作正常; 随着瞬时剂量率的增加, 二者都会依次出现信号扰动、功能部分丢失、功能全部丢失和FPGA动态重配置. 与原型PCB相比, SiP中的FPGA动态重配置剂量率阈值低1个量级, 初步认为差异原因与SiP的电源分布网络有关, 还需要进一步的深入研究.

4 辐射环境中新型微系统需要研究的问题

根据新型微系统面临的辐射环境和研究现状, 国内抗辐射加固SoC类型较少、特征尺寸大、性能较低、抗辐射能力较弱, 并且针对国产SoC的辐射效应测试方法、实验及机理方面的研究较少.

SiP中采用的TSV工艺对总剂量效应的影响还未达成共识, 其差异原因有待深入研究. TSV可能不影响单粒子效应, 目前还没有关于SiP单粒子效应的实验结果, 但3D堆叠会使高能粒子穿过SiP中多个模块的概率增加, 容易导致单粒子多单元错误. SiP中绝缘介质层增多, 空间辐射环境中的电子较易形成充电和放电, 放电电磁脉冲极易干扰高密度集成的SiP并进一步扩散传播, 会导致全局性的电源分布网络波动、大范围

6) <https://ntrs.nasa.gov/archive/nasa/casi.ntrs.nasa.gov/20150015961.pdf>.

的数模信号扰动与串扰等. SiP的小型化与高集成度使得端口间距更小、器件更紧密,这使得信号串扰问题更加严重,预计SiP的充放电效应会比裸芯片和电路板的更严重. SiP的核辐射效应研究刚刚起步,并且SiP比原型PCB对剂量率效应更敏感. SiP的其他辐射效应是否如预期那样?目前还无法回答. SiP与裸芯片和电路板毕竟不同,因此需要系统深入地研究SiP的辐射效应,才能回答、解决SiP在辐射环境中应用时遇到的问题.

基于以上分析,需要开展的新型微系统辐射效应及研究内容如图4所示.

4.1 辐射效应规律和机理

(1) 微系统热、电与辐射(含电磁脉冲)多因素耦合机制研究

在微系统中,热、电与辐射相互耦合、相互影响,首先需要研究热、电与辐射(含电磁脉冲)多因素耦合模拟方法,并根据微系统电路的拓扑结构和工艺参数信息,建立微系统多物理场耦合模型,开展热、电与辐射多因素耦合模拟研究.

单粒子门锁产生大电流,总剂量辐照导致器件功耗电流增加,导致芯片温度上升,使其散热更加困难.需要考虑辐射产生功耗电流,电流产生热,可能导致微系统的局部温度超出温度限值;而温度升高又容易引发门锁效应,形成正反馈,从而影响微系统的正常工作,需研究热、电与辐射(含电磁脉冲)多因素对微系统散热性能的影响.

热电耦合,加上辐射(含电磁脉冲),会使微系统电源完整性面临更严重的问题.研究揭示多因耦合机制,探讨多因素耦合下微系统的可靠性,给出不同辐射(含

电磁脉冲)与电应力、热应力耦合作用下微系统失效的概率大小和规律.

(2) 微系统单粒子效应研究

微系统内包含多种功能模块,如CPU, SCU, Cache, OCM, DMA定时器以及DDR3存储器和QSPI FLASH等,各模块之间的连线缩短,各模块间通信关系复杂,在单个模块中产生的单粒子效应可能通过电荷共享、模块间耦合等而影响其他模块,甚至整个系统.随着集成度提高、工作频率增加,单粒子瞬态脉冲(SET)不断增多,引起的单粒子翻转率(SER)不断上升.微系统内部数字电路与模拟电路共存;硬件和软件共存;基带与射频共存;小信号与大功率信号共存.这些都使得微系统的单粒子效应不同于分立器件.首先需要研究三维集成工艺和叠层结构对微系统单粒子效应的影响.

如果微系统集成了纳米芯片,单粒子多位翻转(MBU)和单粒子瞬态脉冲(SET)就是单粒子效应的主要表现形式.纳米级微系统的单粒子效应的表现形式会更为复杂.SET在微系统中的表现形式不同于简单的反相器链或锁相环;存储器的多位翻转在微系统中的表现形式和影响也不尽相同.系统芯片的单粒子效应如何表征还没有统一;深层次的机理分析不多,也缺乏系统层次的理论.微系统又难于像一般系统那样把各个模块分开来进行测试和辐照实验,特别是系统内部不同模块之间的相互影响/耦合使系统芯片的单粒子效应更复杂.

(3) 微系统总剂量效应

研究辐射感生产物对TSV寄生电容电感等特性参数的影响规律和机制;探索研究聚合物材料在累积辐射环境下的退化机制,掌握其对信号传输特征、器件可靠性的影响规律和机理.

微系统内部包含多种类型的芯片,其总剂量响应各不相同,需要研究多芯片总剂量响应的协同效应,分析微系统的总剂量效应失效模式和敏感参数.

(4) 微系统充放电效应

研究微系统内部介质材料、叠层结构等在空间电子辐照下的充电现象与规律,以及在介质材料击穿、相邻结构间电压差等机制下产生放电脉冲的幅值、脉宽、振荡周期等特征与规律,为充放电对微系统影响研究提供基础数据.

研究充放电脉冲在不同耦合作用方式下导致微系

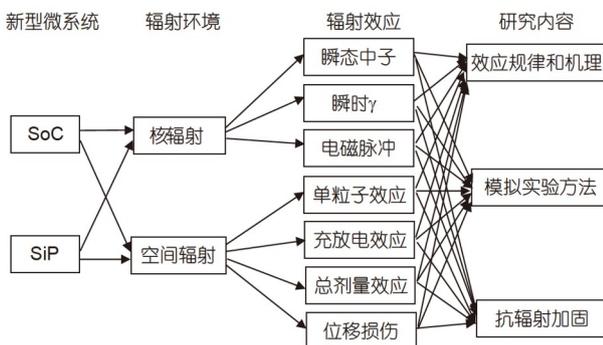


图 4 新型微系统的辐射效应及研究内容
Figure 4 Radiation effects of new microsystem and research contents.

统内部多芯片电源分布网络波动和信号串扰的影响规律与机理, 获取微系统工作异常与充放电脉冲特征的关联性规律, 探究充放电效应影响微系统的阈值、薄弱区域和最恶劣边界条件, 揭示影响机理.

研究充放电脉冲在微系统复杂电路系统中的传播路径、作用方式和影响规律, 建立关键电路节点、模块异常与系统功能故障的电路仿真模型, 探明关键传播与耦合路径, 阐明充放电脉冲传播致微系统异常的机制.

(5) 微系统电磁脉冲效应

当微系统处于电磁脉冲的辐射环境中, 电磁脉冲进入微系统的耦合途径有两种: 通过天线耦合进入系统内部的前门耦合和通过外部连接的线缆、孔缝进入微系统的后门耦合. 前门耦合产生的感应电流通过电路连接线进入系统并且主要沿着线路分布, 这种耦合信号的强度与幅值比较大. 暴露在电磁辐射环境中的金属导体都可以视为天线, 引脚作为将微系统与PCB板连接的金属导体, 当电磁脉冲照射下来时, 微系统所有引脚完全暴露在电磁脉冲环境中, 其上产生的耦合电压都会注入微系统内部, 对与其连接的电子器件产生严重的电磁干扰进而在系统内部产生干扰脉冲甚至损伤, 其影响是不可忽略的. 而后门耦合是指电磁脉冲通过一些间接的途径耦合进入电子系统内部, 如通过各种孔缝像通风口、缝隙、引线端子、电缆接头等, 耦合进入微系统后会在金属腔内形成复杂的电磁波空间场分布, 同时电磁波在金属腔内的传播过程中, 也会与腔体内的集成电路板或者芯片与元器件发生前门耦合, 此时是前门与后门耦合的叠加, 所产生的电磁场也不单纯是某一特定源产生的, 而是结合了屏蔽腔所形成的复杂电磁脉冲环境. 考虑到电磁屏蔽, 微系统在实际运用中一般会放置在金属腔体内, 因此容易遇到上述问题. 由于强电磁脉冲的波长在厘米至毫米量级, 一般情况下, 孔缝尺寸都很容易大于其半波长, 因此电磁脉冲就可以很容易地进入腔体内部造成干扰. 因此, 电磁脉冲对微系统的威胁巨大, 迫切需要开展电磁脉冲对微系统内部电源分布网络的影响研究、电磁感应脉冲在微系统内部各模块之间的耦合机制和传播规律研究.

4.2 辐照效应实验测试方法研究

(1) 微系统的单粒子效应实验测试方法研究

微系统(特别是SiP)的三维堆叠导致有的裸芯片埋藏较深, 必须选取比器件或PCB辐照实验能量更高的重离子和质子, 才能入射到底层芯片, 这时, 散射和核反应次级产物的影响会增大, 因此, 开展重离子和质子辐照实验研究, 探究微系统的单粒子效应与重离子LET值、质子能量和入射角度的关系, 揭示微系统的单粒子效应规律和机理, 建立基于质子试验数据、故障注入、理论模拟相结合的微系统抗重离子单粒子性能评价方法.

(2) 微系统的总剂量效应实验测试方法研究

微系统内部包含多种类型的芯片, 其总剂量响应各不相同, 需要研发微系统中总剂量效应敏感部位识别技术, 研究测试点优化算法, 以最少的测点实现对辐射敏感组件的定位, 建立适用于微系统的总剂量效应微束试验方法.

器件级总剂量实验一般要求在最劣偏置下辐照, 封装了多种类型芯片的微系统的最劣偏置状态是什么? 针对微系统, 分析空间电子、质子和地面电子源、质子源、钴源在氧化层中电离能量沉积的异同性; 开展微系统的 ^{60}Co γ 、电子、质子辐照实验研究, 研究三者的异同性; 研究利用地面 ^{60}Co γ 辐射源评价微系统抗总剂量性能是否存在过度保守及剂量增强等问题.

(3) 微系统的充放电效应实验测试方法研究

微系统内部紧凑封装的多类型介质材料、叠层结构易受到空间放电脉冲的影响, 需要对空间辐射条件下绝缘材料的体电阻率、充电束流强度、介质充电电压等充电相关参数进行准确测试, 对材料放电产生的放电电流、放电产生的空间电场扰动等进行测试, 实现对空间充放电效应特征和关键参数的监测. 此外, 放电干扰脉冲在不同耦合作用方式下能导致微系统内部多芯片电源分布网络波动和信号串扰, 因此, 需要明确微系统故障与放电干扰脉冲源特征的关联性规律, 分析微系统器件充放电效应故障的辐照测试条件, 建立适用于微系统的充放电效应测试方法.

(4) 微系统的电磁脉冲效应实验测试方法研究

电磁脉冲效应实验测试方法研究主要分为辐照法和注入法. 辐照法侧重于实际电磁脉冲经过前门与后门耦合对微系统造成的电磁脉冲干扰研究, 可以根据微系统不同的耦合途径进行辐照实验, 研究耦合电流或电压进入微系统内部造成的干扰或损伤, 研究微系统整体的电磁脉冲效应. 注入法是将脉冲电流通过直

接或间接的方式注入微系统内部, 研究微系统内部某个模块的电磁干扰或损伤阈值, 从而确定微系统内部对电磁脉冲敏感的模块. 相较于辐照法, 注入法更侧重于对微系统内部某些特定模块的实验研究, 揭示微系统内部部分模块受到电磁干扰后对微系统整体性能的影响机制.

4.3 微系统抗辐射加固技术研究

(1) 微系统单粒子效应加固技术研究

对于45 nm以下的存储器, 由于多位翻转和新发现的簇翻转, 已有的加固方法无法纠正这些错误; 纳米微系统面临同样的问题, 因此需要研究新的加固方法.

微系统是一个系统, 包含多个模块. 如果某个模块出现错误, 而系统能够识别并纠正, 那么, 它对系统的影响就可以忽略. 需要从硬件和软件两个角度进行微系统单粒子效应加固方法研究.

(2) 总剂量效应加固技术研究

根据辐射对TSV寄生电容电感等特性参数的影响机制, 设计不同的TSV结构, 减小微系统复杂寄生效应; 基于聚合物材料在总剂量辐射下的退化机制, 探索应用不同的聚合物改善其总剂量效应; 根据多芯片总剂量响应的协同效应, 研究阻断多类型芯片总剂量效应耦合的途径; 基于微系统的总剂量效应失效模式和敏感参数, 重点加固敏感模块; 探索冷备份等抗总剂量效应加固方法在微系统中的应用.

(3) 充放电效应加固技术研究

从空间放电脉冲产生的源头、耦合路径和影响对象等方面, 综合考虑采用充分接地、去耦与冗余滤波和额外放电减缓结构设计, 研究抑制微系统内部材料高充电, 减缓放电脉冲对芯片电源分布网络波动和信号串扰、控制放电脉冲干扰传播的防护方法.

(4) 电磁脉冲加固技术研究

金属壳体屏蔽是防护电磁脉冲的有效手段之一,

对于微系统, 其屏蔽效果有待检验. 设计不同的金属壳体, 研究其屏蔽效果; 经过微系统的脉冲电流注入实验, 找到微系统内部对电磁脉冲比较敏感的模块, 有针对性地进行加固; 对于微系统的电源模块, 通过在电源平面上添加一些不同容量的电容元件, 研究对电磁脉冲的滤波效果; 对于信号传输模块, 设计不同的差分信号线, 研究其加固效果.

5 总结

面对集成电路方面的封锁, 我国亟需利用新型微系统和具有优势的SiP技术来实现突破. 而新型微系统要在辐射环境中应用, 必须开展新型微系统的辐射效应研究. 针对多材料紧凑封装与多芯片高密度集成的新型微系统不同于单一芯片和PCB电路突出的辐射效应问题, 以微系统为典型载体, 掌握其辐射效应(单粒子效应、充放电效应、总剂量效应和电磁脉冲效应)的现象和规律, 揭示微系统中热电与辐射(含电磁脉冲)多因素耦合机制、高密度短间距芯片集成和叠层结构影响单粒子效应的机理、SiP内部紧凑封装的多材料高充电及放电脉冲强扰乱高密度集成的多芯片电源与信号的机理、TSV工艺和多类型芯片集成封装影响总剂量效应的机理, 提出应对高频单粒子瞬态脉冲、多模块同时故障、高充电和强放电干扰、复杂寄生效应、多类型芯片总剂量效应耦合的设计思路和加固方法, 建立微系统的辐射效应评价试验方法, 解决微系统在辐射环境中应用遇到的关键科学问题, 提高国产微系统的可靠性, 促进和保障国产微系统的国防应用, 为我国未来新一代国防电子系统用高性能、高可靠微系统的研制与应用提供抗辐射设计基础理论和关键技术支持. 在微系统的辐射效应领域做出国际一流的研究工作, 提升我国辐射效应研究的理论和实验技术水平.

参考文献

- Li Y, Liu Y. Design and Simulation of System in Package (in Chinese). Beijing: Electronics Industry Press, 2012 [李扬, 刘杨. SiP系统级封装设计与仿真. 北京: 电子工业出版社, 2012]
- Zhang D Z, Hua G X, Liu H J, et al. Requirement analysis of SoC technology in space applications (in Chinese). Aerospace Standard, 2011, 1: 25-30 [张笃周, 华更新, 刘鸿瑾, 等. SoC技术在空间应用中的需求分析. 航天标准化, 2011, 1: 25-30]
- Wang H. Application of SiP technology in aerospace products (in Chinese). Aerospace Standard, 2013, 1: 30-33 [王豪. SiP技术在宇航产品中的应用. 航天标准化, 2013, 1: 30-33]

- 4 Jin B-L, Chen J-P. Radar countermeasure equipment integration development in the age of back-Moore (in Chinese). *Shipboard Elec Counter*, 2015, 38: 4 [金宝龙, 陈建平. 后摩尔时代雷达对抗装备集成化发展. *舰船电子对抗*, 2015, 38: 4]
- 5 Guo F-Z, Xu R-M. Research of key technology in system in package (in Chinese). *J Microw*, 2014, 588–593 [过方舟, 徐锐敏. 系统级封装关键技术研究进展. *微波学报*, 2014, 588–593]
- 6 Yang B-C, Gu Y, Ma S, et al. Advantages of SiP technology and its application in RF domain (in Chinese). In: *Proceedings of the 16th National Conference on Hybrid Integrated Circuits*. Chengdu, 2009. 28–36 [杨邦朝, 顾勇, 马嵩, 等. 系统级封装(SiP)的优势以及在射频领域的应用. 见: 第十六届全国混合集成电路学术会议论文集. 成都, 2009. 28–36]
- 7 Lu Q, Dong D. Failure mechanism and failure analysis of ICs in SiP module (in Chinese). *Elec Proc Technol*, 2015, 2: 4 [卢茜, 董东. SiP组件中芯片失效机理与失效分析. *电子工艺技术*, 2015, 2: 4]
- 8 Li J. Research of Power Integrity Analysis and EMI of System in Package (in Chinese). Dissertation for Doctoral Degree. Chengdu: Southwest Jiaotong University, 2010 [李君. 系统级封装的电源完整性分析和电磁干扰研究. 博士学位论文. 成都: 西南交通大学, 2010]
- 9 Shim Y, Bae B, Koo K, et al. Modeling of simultaneous switching noise effects on jitter characteristics of delay locked loop in a hierarchical system of chip-Package-PCB. In: *Electromagnetic Compatibility of Integrated Circuits*. New York: IEEE, 2012
- 10 Bae B, Shim Y, Cho J, et al. Simultaneous switching noise coupling through via transition for a CMOS negative feedback operational amplifier in system-in-package. In: *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*. Seoul: IEEE, 2011. 1–4
- 11 Wu T L, Chen S T, Hwang J N, et al. Numerical and experimental investigation of radiation caused by the switching noise on the partitioned DC reference planes of high speed digital PCB. *IEEE Trans Electromagn Compat*, 2004, 46: 33–45
- 12 Wang S, Ling S, Sun H, et al. Relationship between SSN and EMC in SiP. In: *2013 14th International Conference on Electronic Packaging Technology (ICEPT)*. New York: IEEE, 2013
- 13 Rajkowski T, Saigné F, Niskanen K, et al. Comparison of the total ionizing dose sensitivity of a system in package point of load converter using both component- and system-level test approaches. *Electronics*, 2021, 10: 1235
- 14 Kim J, Pak J S, Cho J, et al. High-frequency scalable electrical model and analysis of a through silicon via TSV. *IEEE Trans Compon Packag Manufact Technol*, 2011, 1: 181–195
- 15 Zeng Q, Chen J, Jin Y. Effect of radiation on reliability of through-silicon via for 3-D packaging systems. *IEEE Trans Device Mater Reliab*, 2017, 17: 708–712
- 16 Li K, Zhang E X, Gorchichko M, et al. Impacts of through-silicon vias on total-ionizing-dose effects and low-frequency noise in finFETs. *IEEE Trans Nucl Sci*, 2021, 68: 740–747
- 17 Guertin S M. System on a chip devices-FY10. Pasadena: Jet Propulsion Laboratory, 2010
- 18 Guertin S M. FY11 end of year report NEPP SOC devices. Pasadena: Jet Propulsion Laboratory, 2012
- 19 Neishaburi M H, Zilic Z. System on chip failure rate assessment using the executable model of a system. *Computing*, 2015, 97: 611–629
- 20 Mascio S D, Ottavi M, Furano G, et al. Qualitative techniques for system-on-chip test with low-energy protons. In: *International Conference on Design and Technology of Integrated Systems in Nanoscale Era*. Turkey: IEEE, 2016. 1–6
- 21 Furano G, Mascio S D, Szewczyk T, et al. A novel method for SEE validation of complex SoCs using low-energy proton beams. In: *IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*. Storrs: IEEE, 2016. 131–134
- 22 Kalashnikov O A, Nekrasov P V, Nikiforov A Y, et al. System-on-chip: Specifics of radiation behavior and estimation of radiation hardness. *Russ Microelectron*, 2016, 45: 33–40
- 23 Azimi S, Moramarco A, Sterpone L. Reliability evaluation of heterogeneous systems-on-chip for automotive ECUs. In: *IEEE 26th International Symposium On Industrial Electronics (ISIE)*. Edinburgh: IEEE, 2017. 1291–1296
- 24 Di Mascio S, Menicucci A, Furano G, et al. Towards defining a simplified procedure for COTS system-on-chip TID testing. *Nucl Eng Tech*, 2018, 50: 1298–1305
- 25 Guertin S M, Hafer C, Griffith S. Investigation of low cross section events in the RHBD/FT UT699 Leon 3FT. Las Vegas: IEEE Radiation Effects Data Workshop, 2011. 1–8
- 26 Haddad N F, Brown R D, Ferguson R, et al. Second generation (200 MHz) RAD750 microprocessor radiation evaluation. In: *European Conference on Radiation and ITS Effects on Components and Systems*. Sevilla: IEEE, 2012. 877–880
- 27 Wie B, Plante M K, Berkley A, et al. Static, dynamic, and application-level SEE results for a 49-core RHBD processor. In: *Radiation Effects Data Workshop*. San Francisco: IEEE, 2013. 1–9

- 28 Guertin S M, Amrbar M. SEE test results for P2020 and P5020 freescale processors. In: Radiation Effects Data Workshop. Paris: IEEE, 2014. 1–7
- 29 Austin L, Wojciech K, Glenn S, et al. Soft error study of ARM SoC at 28 nanometers. In: IEEE Workshop on Silicon Errors in Logic-System Effects (SELSE 2014). Palo Alto: IEEE, 2014
- 30 Giovanni B. Temperature Effects on Soft Error Rate Due to Atmospheric Neutrons on 28 nm FPGAs. Dissertation for Master's Degree. Padova: Universit'a degli Studi di Padova, 2014
- 31 Mehran A, Farokh I, Steven M G, et al. Heavy ion single event effects measurements of Xilinx Zynq-7000 FPGA. In: 2015 IEEE Radiation Effects Data Workshop (REDW). Boston, 2015
- 32 David M H, Valeri K. Single event upset characterization of the Zynq-7000 ARM® Cortex™-A9 processor unit using proton irradiation. In: 2015 IEEE Radiation Effects Data Workshop (REDW). Boston, 2015
- 33 Tambara L A, Alexey A, Dmitriy V. On the characterization of embedded memories of Zynq-7000 all programmable SoC under single event upsets induced by heavy ions and protons. In: 2015 15th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Moscow, 2015
- 34 Tambara L A, Rech P, Chielle E, et al. Analyzing the impact of radiation-induced failures in programmable SoCs. *IEEE Trans Nucl Sci*, 2016, 63: 2217–2224
- 35 Tambara L A, Tonfat J, Santos A, et al. Analyzing reliability and performance trade-offs of HLS-based designs in SRAM-based FPGAs under soft errors. *IEEE Trans Nucl Sci*, 2017, 64: 874–881
- 36 Lentaris G, Maragos K, Soudris D, et al. TID evaluation system with on-chip electron source and programmable sensing mechanisms on FPGA. *IEEE Trans Nucl Sci*, 2019, 66: 312–319
- 37 Vlagkoulis V, Sari A, Vrachnis J, et al. Single event effects characterization of the programmable logic of Xilinx Zynq-7000 FPGA using very/ ultra high-energy heavy ions. *IEEE Trans Nucl Sci*, 2021, 68: 36–45
- 38 Tambara L A, Chielle E, Kastensmidt F L, et al. Analyzing the impact of radiation-induced failures in flash-based APSoC with and without fault tolerance techniques at CERN environment. *Microelectron Reliab*, 2017, 76-77: 640–643
- 39 Haran A, Yitzhak N M, Mazal-Tov E, et al. Ultralow power system-on-chip SRAM characterization by alpha and neutron irradiation. *IEEE Trans Nucl Sci*, 2021, 68: 2598–2608
- 40 Badia J M, Leon G, Belloch J A, et al. Comparison of parallel implementation strategies in GPU-accelerated system-on-chip under proton irradiation. *IEEE Trans Nucl Sci*, 2022, 69: 444–452
- 41 Badia J M, Leon G, Belloch J A, et al. Reliability evaluation of LU decomposition on GPU-accelerated system-on-chip under proton irradiation. *IEEE Trans Nucl Sci*, 2022, 69: 1467–1474
- 42 Pierre M, Michael H, Jeff B, et al. Neutron, 64 MeV proton & alpha single-event characterization of Xilinx 16 nm FinFET Zynq® Ultrascale+™ MPSoC. In: 2017 IEEE Radiation Effects Data Workshop (REDW). New Orleans, 2017
- 43 David M H, Valeri K, Jakob B. Single event upset characterization of the Zynq ultrascale+ MPSoC using proton irradiation. In: 2017 IEEE Radiation Effects Data Workshop (REDW). New Orleans, 2017
- 44 David S L, Michael K, William E, et al. Single-event characterization of 16 nm finFET Xilinx ultrascale+ devices with heavy ion and neutron irradiation. In: 2018 IEEE Radiation Effects Data Workshop (REDW). Waikoloa, 2018
- 45 Maximilien G, Adrian E, Thomas L, et al. Single-event characterization of Xilinx ultrascale+MPSoC under standard and ultra-high energy heavy-ion irradiation. In: 2018 IEEE Radiation Effects Data Workshop (REDW). Waikoloa, 2018
- 46 Pierre M, Jue A, Christina S, et al. Test methodology & neutron characterization of Xilinx 16 nm Zynq® Ultrascale+™ Multi-Processor System-on-Chip (MPSoC). In: 2018 IEEE Radiation Effects Data Workshop (REDW). Waikoloa, 2018
- 47 Pierre M, Michael J H, Paula C, et al. Single-event evaluation of Xilinx 16 nm ultrascale+™ single event mitigation IP. In: 2018 IEEE Radiation Effects Data Workshop (REDW). Waikoloa, 2018
- 48 Philip D, David S L, Mark L, et al. Single-Event Characterization of the 16 nm FinFET Xilinx Ultrascale+™ RFSoc Field Programmable Gate Array under Proton Irradiation. In: 2019 IEEE Radiation Effects Data Workshop. San Antonio, 2019
- 49 Jordan D A. Neutron Beam Testing Methodology and Results for a Complex Programmable Multiprocessor SoC. Dissertation for Master's Degree. Provo: Brigham Young University, 2019
- 50 Ballan O, Maillard P, Arver J, et al. Evaluation of ISO 26262 and IEC 61508 metrics for transient faults of a multi-processor system-on-chip

- through radiation testing. *Microelectron Reliab*, 2020, 107: 113601
- 51 Herkersdorf A, Aliee H, Engel M, et al. Resilience Articulation Point (RAP): Cross-layer dependability modeling for nanometer system-on-chip resilience. *Microelectron Reliab*, 2014, 54: 1066–1074
- 52 Eduardo C, Felipe R, Gennaro S R, et al. Reliability on ARM processors against soft errors through SIHFT techniques. *IEEE Trans Nucl Sci*, 2016, 63: 2208–2216
- 53 Aaron S, Ammon G, Peter Z, et al. High-speed PCAP configuration scrubbing on Zynq-7000 all programmable SoCs. In: 26th International Conference on Field Programmable Logic and Applications (FPL). Lausanne, 2016
- 54 Adria B D O. Applying Dual-Core Lockstep in Embedded Processors to Mitigate Radiation-induced Soft Errors. Porto Alegre: Federal University of Rio Grande do Sul, 2017
- 55 Farah A, Darshana J, Sompasong S, et al. LFTSM: Lightweight and fully testable SEU mitigation system for Xilinx processor-based SoCs. In: 2020 30th International Conference on Field-Programmable Logic and Applications (FPL). Gothenburg, 2020
- 56 James B, Quinn H, Wirthlin M, et al. Applying compiler-automated software fault tolerance to multiple processor platforms. *IEEE Trans Nucl Sci*, 2020, 67: 321–327
- 57 James B, Wirthlin M, Goeders J. Investigating how software characteristics impact the effectiveness of automated software fault tolerance. *IEEE Trans Nucl Sci*, 2021, 68: 1014–1022
- 58 Abouzeid F, de Boissac C L M, Malherbe V, et al. Radiation-hardened cortex-R4F system-on-chip prototype with total ionizing dose dynamic compensation in 28-nm FD-SOI. *IEEE Trans Nucl Sci*, 2021, 68: 1040–1044
- 59 Tambara L A, Hernandez F, Stuesson F, et al. Single event effect characterization of the GR740 rad-hard quad-core LEON4FT system-on-chip. In: 2019 19th European Conference on Radiation And Its Effects on Components and Systems (RADECS). New York: IEEE, 2019. 297–302
- 60 Iturbe X, Keymeulen D, Yiu P, et al. On the use of system-on-chip technology in next-generation instruments avionics for space exploration, VLSI-SoC 2015. In: IFIP Advances in Information and Communication Technology. Vol 483. Cham: Springer, 2016
- 61 Villalta I, Unai B, Uli K, et al. Fast and accurate SEU-tolerance characterization method for Zynq SoCs. In: 2014 24th International Conference on Field Programmable Logic and Applications (FPL). Munich, 2014
- 62 Villalta I, Bidarte U, Gomez-Cornejo J, et al. Estimating the SEU failure rate of designs implemented in FPGAs in presence of MCUs. *Microelectron Reliab*, 2017, 78: 85–92
- 63 Chen Q, Hiemstra D M, Wang H, et al. High energy proton irradiation results for the DSP cores of the KeyStone II System-on-Chip (SoC) 66AK2L06. In: 2017 IEEE Radiation Effects Data Workshop (REDW). IEEE, 2017
- 64 Christian M F, Pai C, Wen X Q, et al. A fault-tolerant MPSoC for cubeSats. In: 2019 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT). Noordwijk, 2019
- 65 Toner C, Boukabache H, Ducos G, et al. Fault resilient FPGA design for 28 nm ZYNQ system-on-chip based radiation monitoring system at CERN. *Microelectron Reliab*, 2019, 100-101: 113492
- 66 Khanh N D, Michael M, Yuichi O, et al. Reliability assessment and quantitative evaluation of soft-error resilient 3D network-on-chip systems. In: 2016 IEEE 25th Asian Test Symposium. New York: IEEE, 2016. 161–166
- 67 Brittany M W. Evaluating and Improving the SEU Reliability of Artificial Neural Networks Implemented in SRAM-Based FPGAs with TMR. Provo: Brigham Young University, 2020
- 68 Douglas A S, Lucas M L, Maria K, et al. Characterization of a RISC-V system-on-chip under neutron radiation. In: 2021 16th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS 2021). New York: IEEE, 2021
- 69 Georgios K, Theodoros S, Athanasios P, et al. A low-power, radiation-hardened single event effect rate detection system on a chip for real time monitoring of single event effects on low earth orbit satellites. In: Proceedings of the 2022 IFIP/IEEE 30th International Conference on Very Large Scale Integration (VLSI-SOC). New York: IEEE, 2022
- 70 Wächter E W, Kasap S, Kolozali Ş, et al. Using machine learning for anomaly detection on a system-on-chip under gamma radiation. *Nucl Eng Tech*, 2022, 54: 3985–3995
- 71 Yuan Z Y. Research on Space Irradiation Environment Adaptability of Rad-Hard Godson Processor and a Design of Aerospace Computer Based on It (in Chinese). Dissertation for Master's Degree. Beijing: National Space Science Center, Chinese Academy of Sciences, 2009 [袁子阳. 抗辐射加固“龙芯”处理器的空间辐射环境适应性研究及航天计算机设计. 硕士学位论文. 北京: 中国科学院空间科学与应用研究中心, 2009]

- 72 Liu H, Hua G, Zhang S, et al. Design and verification of SOC2008 processor based on SPARC V8 architecture for space applications. In: *Electron Devices and Solid-State Circuits*. Tianjin: IEEE, 2011. 1–2
- 73 Zhuhai Orbita launches a radiation resistant high performance 32-bit quad core parallel processor (in Chinese). *Measurment Control Technol*, 2014, 33: 160 [珠海欧比特推出抗辐射型高性能32位四核并行处理器. *测控技术*, 2014, 33: 160]
- 74 Chen C. Design of Radiation-Hardened CAN Controller SoC (in Chinese). Dissertation for Master's Degree. Beijing: University of Chinese Academy of Sciences, 2015 [陈晨. 抗辐射加固CAN总线控制器的SoC设计. 硕士学位论文. 北京: 中国科学院大学, 2015]
- 75 Zhang R B, Huang Z, Sun S J, et al. Design and implementation of system simulation method for satellite navigation SoC chip (in Chinese). *J Telemetry, Tracking Command*, 2017, 38: 54–60 [张荣兵, 黄喆, 孙树杰, 等. 一种卫星导航SoC芯片系统级仿真设计方法. *遥测遥控*, 2017, 38: 54–60]
- 76 Zhang Q D. Research on Radiation Hardened MultiChannel Stackable Li-ion Battery Monitor System IC (in Chinese). Dissertation for Master's Degree. Xi'an: Xidian University, 2017 [张启东. 一种抗辐射加固的多节可级联锂电池监控与管理芯片研制. 硕士学位论文. 西安: 西安电子科技大学, 2017]
- 77 Liu Z-C, Jiang J-F, Wang Q, et al. A System Design Methodology for High Reliable SoC (in Chinese). *Microelec Computer*, 2018, 35: 54–57 [柳泽辰, 蒋剑飞, 王琴, 等. 一种高可靠SoC芯片的系统级设计方法. *微电子学与计算机*, 2018, 35: 54–57]
- 78 Li M H. Design for Testability of Radiation Hardened SoC (in Chinese). Dissertation for Master's Degree. Harbin: Heilongjiang University, 2020 [李美慧. 抗辐射加固SoC的可测性设计. 硕士学位论文. 哈尔滨: 黑龙江大学, 2020]
- 79 Niu T-J, Feng X. Radiation resistance analysis of domestically produced SoC S698PM (in Chinese). *Inf Technol Inf*, 2020, 10: 138–140 [牛停举, 冯晓. 国产化SOC芯片S698PM抗辐照分析. *信息技术与信息化*, 2020, 10: 138–140]
- 80 He Z M, Wang J, Cheng L F, et al. Microsystem circuit design for a spaceborne information system (in Chinese). *Aerospace Standard*, 2020, 2: 32–35 [何志敏, 王佳, 程利甫, 等. 一种星载信息系统微系统电路设计. *航天标准化*, 2020, 2: 32–35]
- 81 Zhao X L, Liu X Y. Exploration and practice of product assurance method for spaceborne navigation SoC (in Chinese). *Quality Reliab*, 2022, 5: 1–6 [赵小莉, 刘学毅. 星载导航SoC产品保证方法探索与实践. *质量与可靠性*, 2022, 5: 1–6]
- 82 Yang R, Du Z H, Wang Q Y, et al. Experimental research on space single event effects on homemade SoC device (in Chinese). *Spacecraft Environ Eng*, 2022, 39: 193–199 [杨榕, 杜卓宏, 王乾元, 等. 国产先进工艺SoC器件空间单粒子效应试验研究. *航天器环境工程*, 2022, 39: 193–199]
- 83 Zhang Y, Du X, Du X C, et al. Primary total ionizing dose effect studies on Xilinx SoC irradiated with ^{60}Co γ rays. *Appl Mech Mater*, 2014, 678: 252–259
- 84 Du X C, He C H, Liu S H, et al. Software injection technique for single event effect in embedded system-on chip. In: *International Conference on Radiation Effects of Electronic Devices*. Harbin, 2015
- 85 Du X, He C, Liu S, et al. Soft error evaluation and vulnerability analysis in Xilinx Zynq-7010 system-on chip. *Nucl Instrum Methods Phys Res Sect A*, 2016, 831: 344–348
- 86 Zhang Y, Liu S, Du X, et al. Primary single event effect studies on Xilinx 28-nm system-on-chip (SoC). *Nucl Instrum Methods Phys Res Sect A*, 2016, 831: 339–343
- 87 Du X, He C, Liu S, et al. Measurement of single event effects induced by alpha particles in the Xilinx Zynq-7010 system-on-chip. *J Nucl Sci Tech*, 2016, 54: 287–292
- 88 Du X, Liu S, Luo D, et al. Single event effects sensitivity of low energy proton in Xilinx Zynq-7010 system-on chip. *Microelectron Reliab*, 2017, 71: 65–70
- 89 Liu S, Du X, Du X, et al. Primary investigation the impacts of the external memory (DDR3) failures on the performance of Xilinx Zynq-7010 SoC based system (MicroZed) using laser irradiation. *Nucl Instrum Methods Phys Res Sect B*, 2017, 406: 449–455
- 90 He C H, Du X C, Liu S H, et al. Study on single event effects in 28 nm System-on-Chip. In: *2017 International Workshop on Reliability and Radiation Effects of Micro-and Nano-Electronic Devices*. Chengdu, 2017
- 91 Yang W T, He C H, Du X C, et al. A SEU diagnosis and recovery system for OCM in Xilinx 28-nm system-on-chip 2017. In: *International Workshop on Reliability and Radiation Effects of Micro-and Nano-Electronic Devices*. Chengdu, 2017
- 92 Yang W T, He C H, Du X C, et al. Single event upset diagnosis and recovery in on-chip-memory (in Chinese). *Nucl Elec Detect Technol*, 2017, 37: 138–141 [杨卫涛, 贺朝会, 杜雪成, 等. 片上存储器单粒子翻转效应诊断及修复. *核电子学与探测技术*, 2017, 37: 138–141]
- 93 Du X C, He C H, Liu S H, et al. Research progress of single event effects on 28 nm Xilinx Zynq-7000 system-on-chip (in Chinese). *Modern*

- Appl Phys, 2017, 8: 1–6 [杜雪成, 贺朝会, 刘书焕, 等. 28 nm Xilinx Zynq-7000系统芯片单粒子效应研究进展. 现代应用物理, 2017, 8: 1–6]
- 94 Yang W, Du X, He C, et al. Microbeam heavy-ion single-event effect on Xilinx 28-nm system on chip. *IEEE Trans Nucl Sci*, 2018, 65: 545–549
- 95 Du X, Luo D, Shi K, et al. FFI4SoC: A fine-grained fault injection framework for assessing reliability against soft error in SoC. *J Electron Test*, 2018, 34: 15–25
- 96 Du X, He C, Liu S, et al. Analysis of sensitive blocks of soft errors in the Xilinx Zynq-7000 system-on-chip. *Nucl Instrum Methods Phys Res Sect A*, 2019, 940: 125–128
- 97 Yang W, Li Y, Li Y, et al. Atmospheric neutron single event effect test on Xilinx 28 nm system on chip at CSNS-BL09. *Microelectron Reliability*, 2019, 99: 119–124
- 98 Yang W T, Yin Q, Li Y, et al. Single-event effects induced by medium-energy protons in 28 nm system-on-chip. *Nucl Sci Tech*, 2019, 30: 151
- 99 Yang W, Du X, Guo J, et al. Preliminary single event effect distribution investigation on 28 nm SoC using heavy ion microbeam. *Nucl Instrum Methods Phys Res Sect B*, 2019, 450: 323–326
- 100 Yang W T, Li Y H, Guo Y X, et al. Investigation of single event effect in 28-nm system-on-chip with multi patterns. *Chin Phys B*, 2020, 29: 108504
- 101 Yang W, Li Y, Zhang W, et al. Electron inducing soft errors in 28 nm system-on-Chip. *Radiat Effects Defects Solids*, 2020, 175: 745–754
- 102 Yang W T, Du X C, Li Y H, et al. Single-event-effect propagation investigation on nanoscale system on chip by applying heavy-ion microbeam and event tree analysis. *Nucl Sci Tech*, 2021, 32: 106
- 103 Yang W, Du B, He C, et al. Reliability assessment on 16 nm ultrascale+MPSoC using fault injection and fault tree analysis. *Microelectron Reliability*, 2021, 120: 114122
- 104 He C H, Du X C, Yang W T, et al. Research on Single Event Effects of Nanoscale System on Chip (in Chinese). Beijing: Science Press, 2021 [贺朝会, 杜雪成, 杨卫涛, 等. 纳米级系统芯片单粒子效应研究. 北京: 科学出版社, 2021]
- 105 Yang W, Li Y, He C. Fault injection and failure analysis on Xilinx 16 nm finFET ultrascale+MPSoC. *Nucl Eng Tech*, 2022, 54: 2031–2036
- 106 Li Y, Yang W, Wang M, et al. Vulnerability evaluation on 16 nm finFET ultrascale+MPSoC using fault injection and proton irradiation. *Microelec Reliab*, 2022, 133: 114534
- 107 Liu W, Zhang W, Wang X, et al. Distributed sensor network-on-chip for performance optimization of soft-error-tolerant multiprocessor system-on-chip. *IEEE Trans VLSI Syst*, 2016, 24: 1546–1559
- 108 Du X, Luo D, He C, et al. A fine-grained software-implemented DMA fault tolerance for SoC against soft error. *J Electron Test*, 2018, 34: 717–733
- 109 Cui X, Gao Q, Wang R, et al. Fault-tolerant method for anti-SEU of embedded system based on dual-core processor. *J Eng*, 2019, 2019: 8755–8759
- 110 Wu J, Meng X, Zhang N. Fault-tolerant technology based on FPGA: A research of LogiCORE™ IP soft error mitigation controller. *J Phys-Conf Ser*, 2020, 1486: 052030
- 111 Rajkowski T, Saigne F, Pouget V, et al. Analysis of SET propagation in a system in package point of load converter. *IEEE Trans Nucl Sci*, 2020, 67: 1494–1502
- 112 Li Y, Li J, Guo Y, et al. Experimental study of transient dose rate effect on system-in-package SZ0501. *IEEE Trans Nucl Sci*, 2022, 69: 1840–1849
- 113 Li N, Li Y, Guo Y, et al. Simulation analysis of electromagnetic pulse susceptibility and hardening design for system-in-package SZ0501. *Microelectron Reliab*, 2023, 141: 114892

Radiation effects and radiation hardening technology of new microsystems

HE ChaoHui^{1*}, CHEN Wei², HAN JianWei³, LIU Xi⁴, LI Ning¹, CHEN Rui³,
LUO YinHong², YAO ZhiBin², LI Pei¹, DING LiLi² & Wu DaoWei⁴

¹ School of Nuclear Science and Technology, Xi'an Jiaotong University, Xi'an 710049, China;

² Northwest Nuclear Technology Research Institute, Xi'an 710024, China;

³ National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China;

⁴ Xi'an Microelectronics Technology Research Institute, Xi'an 710065, China

*Corresponding author (email: hechaohui@xjtu.edu.cn)

Herein, the development history, current status, and trends of microsystems are introduced, focusing on the introduction of new microsystems, namely system-on-chip and system-in-package. This work presents an analysis of the scientific problems faced by new microsystems; a summary of the current research status of radiation effects of new microsystems; and topics that need to be addressed for the application of new microsystems in radiation environments, namely radiation effect laws and mechanisms, radiation effect experimental testing methods, and radiation hardening technology. This work is expected to increase the investment in financial, material, and human resources; help solve key scientific problems encountered in the application of microsystems in radiation environments through major project research items; improve the reliability of domestic microsystems; and promote and guarantee the national defense application of domestic microsystems.

microsystems, system on chip, system in package, radiation effects, radiation hardening technology

PACS: 61.80.-x, 61.82.-d, 42.88.+h, 94.20.wq

doi: [10.1360/SSPMA-2023-0216](https://doi.org/10.1360/SSPMA-2023-0216)