



新型埋入式板级封装技术

曹立强^{①*}, 张霞^{①*}, 于燮康^②^① 中国科学院微电子研究所系统封装技术研究室, 北京 100029^② 封测产业链技术创新战略联盟, 北京 100029

* 通信作者. E-mail: caoliqiang@ime.ac.cn, zhangxia@ime.ac.cn

收稿日期: 2012-10-17; 接受日期: 2012-11-12

摘要 越来越多的高密度、多功能和小型化需求给封装和基板都带来了新的挑战, 很多新的封装技术也应运而生, 包括引起众多关注的埋入式封装技术. 在本文中, 我们首先对埋入封装技术的优势、挑战以及发展现状进行了介绍. 然后将功能性有源器件埋入到有机基板中的尝试说明了设计、制造和测试埋入式封装这一新兴技术的可行性. 制定一个切实可行的解决方案, 有利于降低制造成本和市场的产品开发周期. 我们提出的这种埋入式板级封装技术, 与传统的封装和基板工艺都兼容. 此外, 本文设计了将功能性的 MOSFET 有源芯片埋入到有机基板中的板级封装模块结构, 对该模块进行了热机械仿真分析, 找到了最大应力点, 优化了工艺设计. 最后, 结合传统的基板工艺, 制备了埋入式板级封装样品, 并完成了埋入式板级封装模块的电阻通断测试和功能测试, 验证了该工艺设计的可行性.

关键词 埋入式板级封装 有机基板 MOSFET 芯片 热机械仿真

1 引言

伴随轻薄短小、高性能便携电子设备的急速增加, 将电子元器件埋入基板内部的新型板级封装技术已初见端倪. 随着埋入的无源元件数量的增加和表贴元件引脚数的急增, 反而有可能造成引线总长度增加^[1,2], 因此元器件埋入技术除了将无源元件埋入基板之中, 预期将有源器件也一同埋入到有机基板中. 近年来, 将芯片等有源器件连同电阻、电感、电容等无源元件全部埋置于基板内部的终极三维封装技术也在迅速进展之中^[3~8]. 若能连同 IC 芯片, 一起把所有的无源、有源元件统统埋入基板内部, 则不仅能使有源、无源元件间的引线缩短, 提高整体性能, 而且对实现超小型、薄型化极为有利. 为实现这一目的, 采用陶瓷系高温烧结的方式显然是不行的, 唯一有效可行的方式就是采用有机基板. 而且, IC 元件与无源元件不同, 不能在基板内做成, 只能采用薄型封装或者裸芯片等形式, 将其埋入基板中.

通常, 有源器件是要封装成“芯片”后, 再焊接安装到基板表面上. 现在要把这些裸芯片埋置到基板内部直接进行板级封装, 其复杂程度显而易见. 由于有源芯片的内部组成与结构比起无源元件来要复杂得多, 因此埋置有源芯片比起埋置无源元件也要困难得多, 在埋置有源芯片过程中, 由于有源器件的厚度比薄膜无源元件要厚得多, 首先要先将其平面化, 薄型化, 然后再进行埋置过程. 此外, 有源

引用格式: 曹立强, 张霞, 于燮康. 新型埋入式板级封装技术. 中国科学: 信息科学, 2012, 42: 1588-1598, doi: 10.1360/112012-593

芯片在基板内部的互连结点比无源元件要多很多, 而且这些互连结点的导线精细度要求也高很多, 大多数是“微米级”、甚至是“纳米级”的连接, 这都给有源芯片的埋置带来了很大困难。

在本文中, 我们提出了一种新型埋入式板级封装技术, 完成了功能性 (MOSFET 芯片) 有源芯片的埋入实验, 解决了和现有基板工艺的兼容性问题. 该技术是晶圆级埋入扇出技术的衍生, 结合层压和自下而上堆积 (build-up) 工艺实现器件基板埋入的方法和工艺. 在埋置有源器件时, 采用直接芯片粘接 (DCA, direct chip attach) 技术, “没有”封装而直接将裸芯片粘接到基板中. 基于晶圆级埋入扇出的概念, 首先将多个裸 MOSFET 芯片直接粘贴在有机基板上, 然后进行介质层层压, 并在介质层上激光开盲孔将芯片的电极引出, 最后进行布线和植球, 完成 MOSFET 板级封装. 此外, 我们还对埋入式板级封装模块进行了电学功能测试以及可靠性测试, 用以验证该工艺的可行性.

2 埋入封装技术发展现状

这种将器件埋入到基板中的概念早在 20 世纪 60 年代就有人已经提出, 以 Intel 公司发表的无凸点积层多层 (BBUL, bumpless build-up layer) 为代表的埋入有源器件的多层印制线路板问世, 可以算是在基板中埋入有源器件实现系统集成封装的开始. 之后又相继出现了芯片前置型埋入技术和芯片后置型埋入技术.

2.1 芯片前置型埋入技术

芯片前置型埋入技术, 指的是先将芯片嵌入到各种不同种类的基板之上, 然后在芯片和基板上进一步制作多层互连线层. 目前, 许多研究单位如 Helsinki 大学、Intel、Fraunhofer IZM 等都对这一埋入技术进行了研究, 并提出了一些埋入结构和相应的制作工艺方法.

Helsinki 大学提出并设计了一种集成模块板 (IMB, integrated module board) 结构, 该结构可将有源与无源器件一起埋入到高密度布线板中. 如图 1 所示^[5]. 他们采用非真空和无铅钎焊技术, 即光固化树脂全加成化学镀工艺, 实现了集成模块板. 该 IMB 技术使得布线总长度和布线间距得到显著减少, 从而达到了高密度集成封装的目的. 并且在这项技术的加工过程中没有用到钎料, 使得 IMB 的高密度封装的电气性能和可靠性得到改善. 在单个 IMB 封装好后, 还可以将 IMB 在纵向方向上进行堆叠, 从而实现 3D 封装的构架, 封装密度进一步提高.

与此同时, Fraunhofer IZM 和柏林工业大学共同研发了聚合物芯片 (CIP, chip in polymer) 技术, 如图 2 所示^[6]. 该埋入技术由欧洲各国的工业界和学术界各个机构合力研发, 可以将有源和无源器件集成到叠层基板之中, 从而实现系统级封装. 通过采用覆铜箔树脂层压技术和激光钻孔技术, 他们将一个 84 输入/输出 (I/O) 引脚的四边扁平无引脚 (QFN) 封装形式的芯片埋入到聚合物基板中. 关键性的工艺技术有半加成基板制作技术和激光直写成像技术. 该埋入技术在埋入时封装芯片正面向上, 背面带有金属散热层, 这样有利于芯片的散热. 此外, 该技术在加工制作采用了标准 PCB 板的制作流程, 将芯片埋入到 PCB 板中, 因此该技术可以用于大规模生产且无需再研发配套的制造设备, 进而使得投入的制造成本和设备研发成本大大降低.

2.2 芯片后置型埋入技术

2007 年美国 Georgia 理工大学的封装研究中心提出了一种芯片后置型埋入技术^[7,8]. 芯片后置型

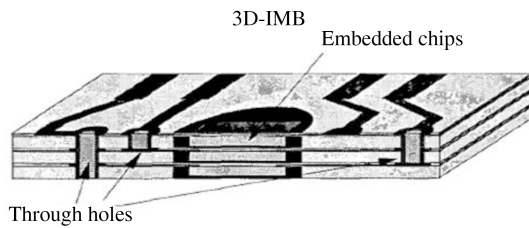


图 1 IMB 结构示意图 [5]

Figure 1 Schematic diagram of IMB structure [5]

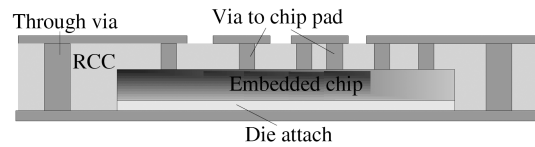


图 2 IZM 的 CIP 示意图 [6]

Figure 2 Schematic diagram of CIP structure [6]

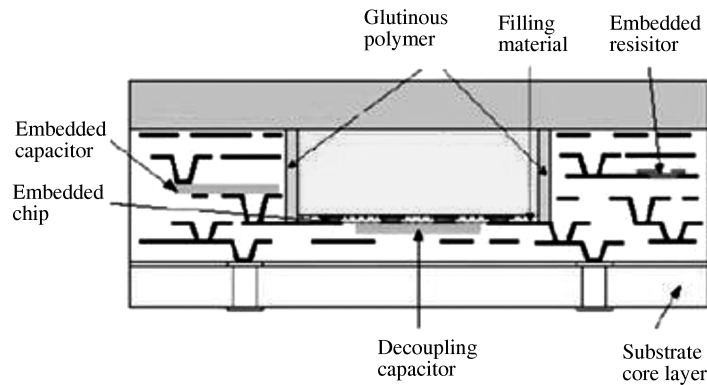


图 3 芯片后置型埋入有源无源器件的示意图 [7,8]

Figure 3 Schematic diagram of chip-last embedding technology structure [7,8]

埋入结构是在叠层基板制作完成之后在基板上开腔, 然后将芯片埋入该腔体而形成的封装结构, 如图 3 所示. 他们先在基板的叠层 (build-up layers) 上制作出了一个腔体, 该腔体结构比芯片的尺寸稍微大一些, 然后将芯片直接放入到这个腔体之中, 并利用超细互联线将芯片与叠层基板连接起来, 最后用有机填充材料和工程粘结材料填充芯片和腔体之间的缝隙.

与芯片前置型埋入技术相比, 芯片后置型埋入技术有一些突出的优势. 这些优势主要体现在工艺性、可返工性和散热性能 3 方面. 对于芯片前置型埋入技术来说, 复杂的基板加工工序往往会对芯片造成破坏, 而这种方法是多层基板先层压, 之后再芯片埋入到基板之中. 这样芯片在埋入基板之后不再经历复杂的加工步骤, 因此会降低加工废品率, 进而提高良品率. 此外, 通过可返工的互联线和选用合适的高热导率的填充材料与塑封材料, 便可以对产品实现返修, 替换那些有缺陷的芯片. 最后, 因为埋入芯片的背面直接暴露在外界环境下或是与热传导系数较高的散热材料层相连, 所以可以有效地解决芯片的散热问题.

但是, 芯片后置型埋入技术也存在着一些不足, 由于芯片后置型埋入技术中的芯片只是埋入到基板的表面一层, 所以对于基板的纵向空间的利用率并不是很高. 此外, 对于埋入有芯片的基板表面部位, 不宜再表贴别的元件, 发挥基板本身的承载作用. 这样芯片埋入基板中和表面贴装技术没有显著差异, 不能称之为是真正意义上的 3D 封装. 目前很难说界定芯片前置型埋入技术和芯片后置型埋入技术哪个更好更优异, 只能说各自有一定的应用场合. 这就需要相关的科研工作者对此进行更深的探讨和研究.

结合芯片前置型埋入技术和芯片后置型埋入技术, 中国科学院微电子所提出了一种埋入型板级封装技术, 将有源裸芯片埋置封装在有机基板内. 该技术是在晶圆级埋入扇出技术的衍生, 在埋置有源

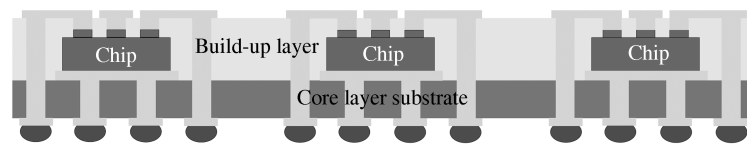


图 4 埋入式板级封装模块的示意图

Figure 4 Schematic diagram of embedded panel level packaging structure

器件时, 采用 DCA 技术, “没有”封装而直接将芯片粘接到基板中, 这样理论上就会有更好的电性能, 更直接的散热通道, 更轻、更小的尺寸和更低的成本. 从封装的角度讲, 这是一种“无封装”的且封装效率最高的技术. 基于晶圆级埋入扇出的概念, 首先将多个裸芯片直接粘贴在有机基板上, 然后进行介质层层压, 并在介质层上激光开盲孔将芯片的电极引出, 最后进行布线和植球, 完成板级封装, 如图 4 所示. 该技术不需要对裸芯片进行封装, 直接埋置在有机基板中, 将封装与基板合二为一, 节省了封装的工序, 提高了集成效率, 降低了成本. 此外, 我们还可以将多个这种埋入式板级封装模块堆叠集成, 实现三维系统集成封装.

埋入式板级封装的思想是先将这些有源器件配置在很薄的核心基板上, 然后围绕着这些有源器件“长”出一块板子来, 其优势主要有: 第一, 有源器件在组装中不再需要焊料, 也就不再需要回流, 那些与焊料以及回流有着直接或者间接关系的大量缺陷将会消失; 第二, 由于将有源器件埋置到基板内部, 其信号连线可以部分或者全部都埋置到基板内部, 将不会有引线或焊球, 取而代之的是器件通过微过孔与走线互联, 明显缩短和减少了连接点、导线、焊盘和导通孔, 因而具有更大的集成度和灵活性以及微小的体积, 这里器件还可以被置于另一个器件之上; 第三, 有源器件埋置到基板内部, 不但与“大气”环境隔离开来, 使其受到最有效的保护, 而且会有最短的微过孔连接, 消除和减少了“连接”的故障率; 第四, 用该种工艺完成的板级封装模块在本质上有着较高的强度, 能够承受更多的冲击和震动; 第五, 由于有源器件埋置到基板内部而被有效保护起来, 可将寄生效应减少, 电气性能显著提高, 还会保持器件功能稳定, 加上减短或减少了连接线、焊盘和导通孔, 保证了信号传输的稳定性, 明显改善了基板整体的信号传输性能; 第六, 由于封装和基板同时制作, 生产周期短, 产品竞争力提高, 既减少了运输、存储和管理过程, 又减少了“反复”检验、复查等步骤, 因而使产品生产周期缩短, 当然可更快进入市场, 提高产品市场的竞争力; 第七, 由于生产周期短, 产品竞争力提高, 因此使产品整体的成本下降.

3 功能性 MOSFET 芯片埋入式板级封装模块

在本设计中, 采用埋入式板级封装技术和芯片先置型的结构与工艺对 MOSFET 裸芯片埋入有机基板进行了结构设计, 并通过热机械仿真特别关注了如何改善埋入模块的散热性能. 为了降低制造成本, 实现大规模产业化生产, MOSFET 埋入式板级封装模块的结构设计与工艺设计均与标准多层 PCB 板的设计与制作流程相兼容.

本文采用的芯片为万代公司的 N 通道功率 MOSFET 裸芯片, 该芯片尺寸为 $3.28 \text{ mm} \times 2.18 \text{ mm}$, 厚度为 $200 \mu\text{m}$, 采用 VMOS 垂直沟道的非平面工艺, 在芯片的上下两面都有 I/O 端子. 利用有机基板中铜线与盲孔通孔使得芯片 I/O 端子重新分布, 变为周边阵列的 BGA 分布方式. 图 4 为所设计的结构示意图.

为了改善 MOSFET 埋入式板级封装模块的散热性能, 设计时在多层基板的正面和反面增加了大

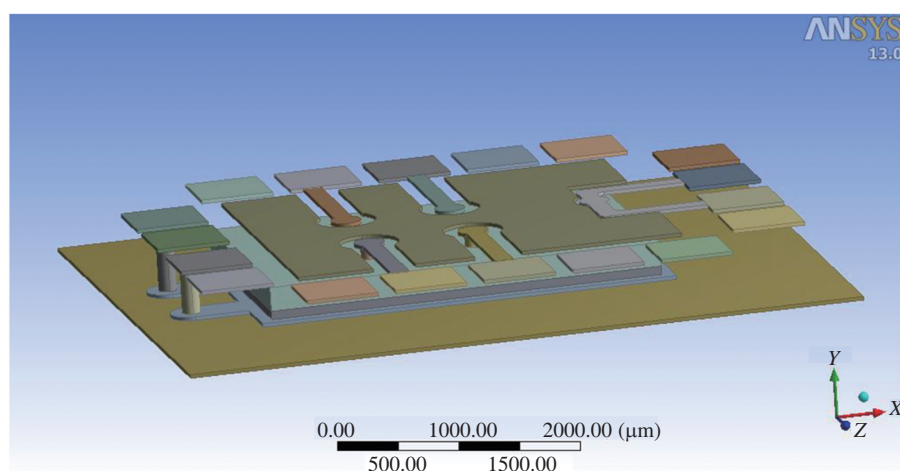


图 5 MOSFET 埋入式板级封装模块的内部结构

Figure 5 The inner structure of the embedded MOSFET module

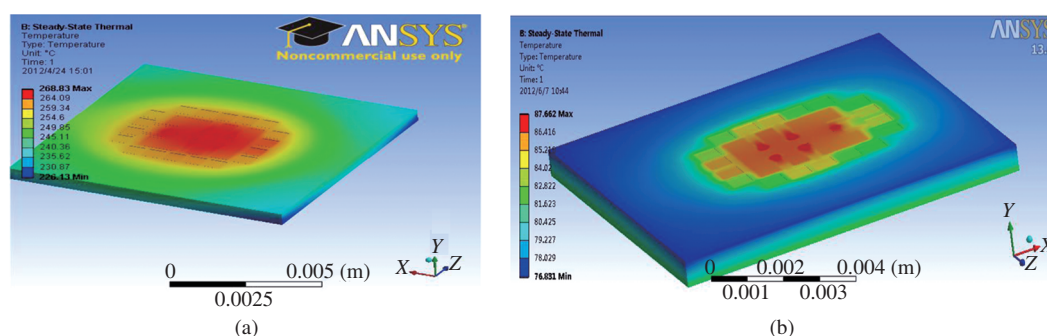


图 6 MOSFET 埋入式板级封装模块的外部温度分布云图

Figure 6 Temperature gradient of embedded module. (a) under natural-convection heat transfer condition; (b) under force-convection heat transfer condition

面积的铜箔结构。这些铜结构与芯片的端子并无接触, 利用铜材料较高的热导率的特性, 将工作时 MOSFET 产生的热量及时导出到外界环境中, 从而达到改善散热性能的目的。

3.1 埋入式板级封装热机械仿真

利用三维绘图 CAD 软件 Solidworks, 按照所设计的 MOSFET 埋入式板级封装模块的几何形状尺寸和定位尺寸绘制其三维实体模型, 并通过软件接口导入 Ansys workbench 13.0 的 geometry 模块中。图 5 为 MOSFET 埋入式板级封装模块的内部结构。

本埋入模块是基于标准多层 PCB 板的设计与制作流程, 所以使用铜箔材料作为布线层导体材料。考虑到制作成本和工艺成熟性, 采用锡铅焊料作为连接材料。而对于基板材料的选择, 通过对现在的主要基板材料 FR-4、BT 树脂和 LCP 材料的评估, 选择与芯片热失配较小, 性价比较高的 BT 树脂材料^[9]。所使用的材料参数来源如下: 铜、锡铅焊膏、硅等材料的参数来自 Ansys Icepak 中的电子封装通用材料数据库。而叠层与核心层所用 BT 树脂与阻焊层绿油的材料数据均由材料供应商提供。表 1 为热机械仿真中所需材料的主要参数。

图 6(a) 为自然对流换热条件下的埋入模块的外部温度分布云图, 而图 6(b) 为强制对流换热条件

表 1 热机械仿真过程中所使用材料的主要参数

Table 1 Material parameters used in thermal-mechanical simulation

Name	Density (kg/m ³)	Thermal conductivity (W/m·C)	Specific heat capacity (J/Kg·C)	Young's modulus	CTE (ppm/°C)	Zero temperature under zero stress (°C)
Copper	8933	401	385	110	16.7	120
Solder	8500	50.9	196.6	43.2	2.1	120
Silicon	2330	180	660	130	2.62	120
BT build-up layer	1800	0.29	794.96	24	15	120
BT core layer	1900	0.44	753.12	24	15	120
Solder mask	1900	0.17	795	4	15	120

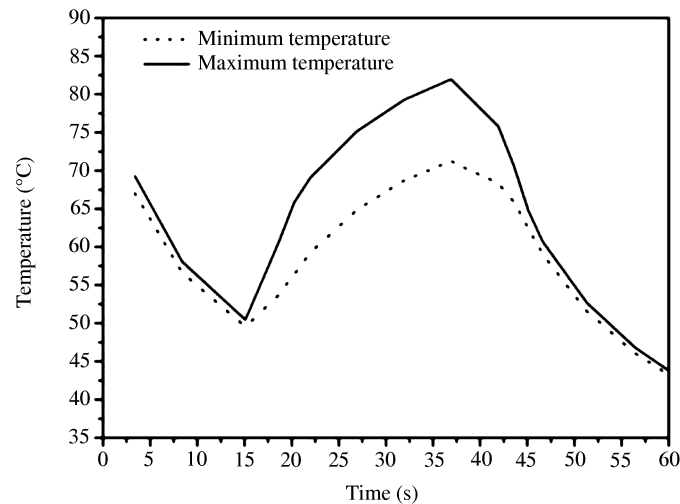


图 7 埋入模块 60 s 内瞬态热分析总体温度变化曲线

Figure 7 Temperature variation of the embedded module in 60 s transient thermal analysis

下的埋入模块的外部温度分布云图. 由于自然对流换热条件不能满足埋入模块对散热性能的要求, 那么就需要在系统整机机箱中引入风扇, 从而制造强制对流换热条件, 提高埋入模块表面的牛顿换热系数, 从而提高散热速率, 使得埋入后的 MOSFET 芯片可以在连续工作条件下正常工作. 在仿真中, 强制对流模拟所用的其他边界条件与自然对流换热时相同. 从图 6(b) 中可以看出, 在风速为 2 m/s 强制对流条件下, 芯片在连续工作时所达到的最高温度为 87.66°C, 最高温度点在模型的芯片位置处. 比功率 MOSFET 正常工作的最高 PN 结结温 150°C 低很多, 说明在这种工作条件下, 埋入模块结构的散热性能满足使用要求.

图 7 给出了埋入模块 60 s 内瞬态热分析总体最高温度与最低温度的变化曲线, 其中实线表示总体最高温度, 虚线表示总体最低温度. 从上述瞬态热分析的过程中可以看出, 埋入 MOSFET 有机基板

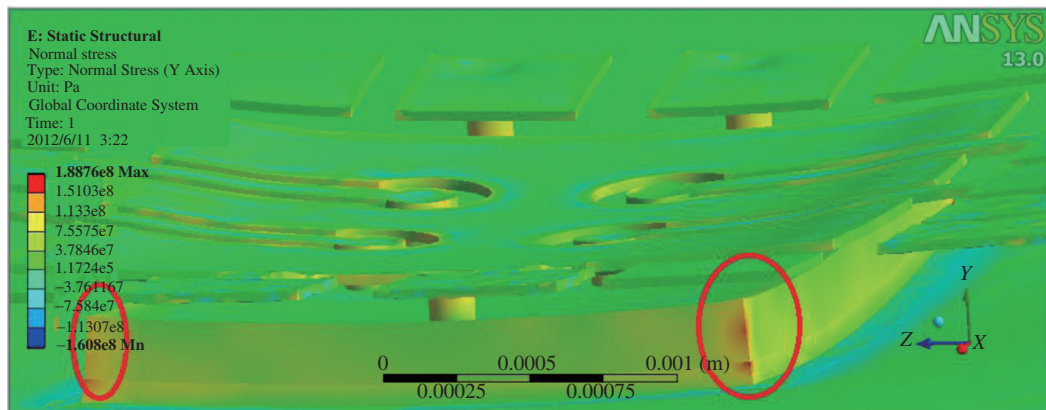


图 8 埋入 MOSFET 模块内部竖直方向拉应力分布云图

Figure 8 Vertical stress gradient of the embedded module

模块在强制对流条件下的瞬态散热性能良好。根据仿真结果, 瞬态过程中, 芯片在持续工作并产热 20 s 之后, 芯片便可以从 47°C 上升至接近稳态值温度值的 81°C。而在芯片停止产热的短短的 15 s 内, 埋入模块便可以从 81°C 的较高温度降低至 43°C 左右, 这已经接近于机箱的正常工作温度。说明功率 MOSFET 芯片开始工作后, 在较短的时间内就可以达到稳定温度状态, 停止工作后, 在较低的时间内也可以将内部的热量散出, 使得模块整体温度逐渐降低, 接近外界环境温度并且模块各个部位的温度趋于一致。

图 8 给出了埋入 MOSFET 模块内部竖直方向拉应力分布云图, 从图中可以看出, 在整个埋入 MOSFET 模块的内部, 芯片棱边中心部位仍然是竖直方向拉应力的应力集中点。根据断裂力学理论的观点, 在这种竖直方向的拉应力集中状态下, 会引发最危险且最容易扩展横向张开型的裂纹扩展, 从而引发脆性断裂。因此, 在制作 MOSFET 埋入式板级封装模块中, 可以通过选用不同的材料和不同的焊锡膏厚度对应力集中点的叠层处进行一些应力释放。

3.2 埋入式板级封装模块的制作

MOSFET 埋入式板级封装的工艺流程如图 9 所示, 具体为: 步骤 1, 选择双面覆铜的有机基板作为核心层以及支撑层, 其中铜层厚度为 18 μm ; 步骤 2, 有机基板图形化, 并将裸芯片采用焊锡或者导电银浆贴装到有机基板上; 步骤 3, 根据芯片、有机基板铜层以及焊锡层的厚度, 大约为 250 μm , 选择相应厚度的介质层, 也就是半固化片, 将铜层、多个半固化片与贴装有裸芯片的有机基板进行层压, 使用半固化片的流胶填充芯片并覆盖住芯片, 形成埋入裸芯片的板件; 步骤 4, 层压后的模块首先图形化, 采用激光技术制作盲孔, 直径为 75 μm , 采用机械手段制作通孔, 直径为 150 μm , 并进行盲孔及通孔的金属化, 使得 MOSFET 裸芯片的电极与外层线路连接, 这里盲孔金属化过程为化学镀种子层后再采用电镀填充; 步骤 5, 对外层铜进行减薄后制作外层电路图形, 并进行植球和切割, 形成多个单个埋入式 MOSFET 板级封装体。

结合层压和自下而上堆积工艺实现 MOSFET 器件埋入式板级封装模块的制作, 埋入式板级封装模块实物图如图 10 所示, 模块尺寸为 6.1 mm \times 6.5 mm 厚度为 0.48 mm。

3.3 埋入式板级封装模块的电测及可靠性测试

测试包括通断测试和功能测试, 通断测试采用万用表测量, 功能测试采用 Keithley 4200 和 SUSS

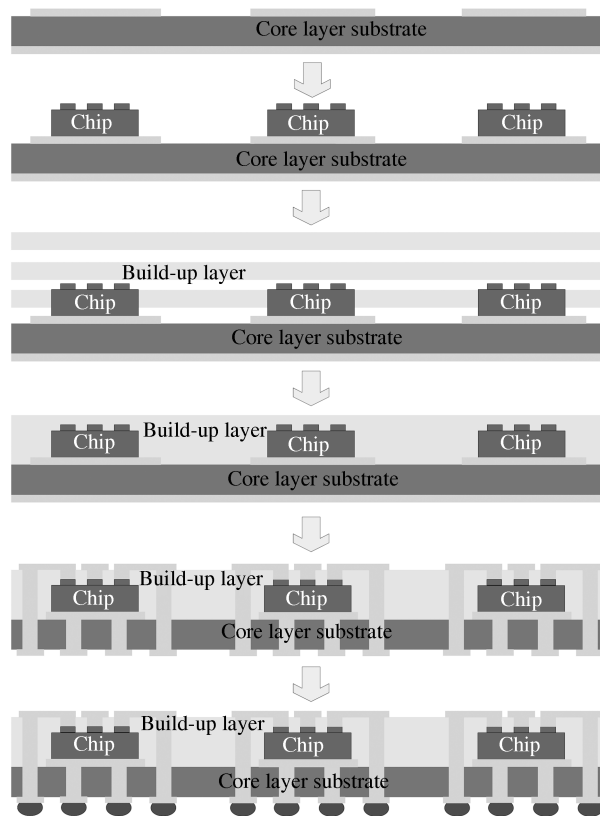


图 9 MOSFET 埋入式板级封装的工艺流程

Figure 9 The fabrication process of the embedded module

PA300 探针台.

利用万用电表对 MOSFET 所有源极与漏极的通断及电阻进行测量, 将万用电表的红表笔接漏极 (D), 黑表笔接源极 (S). 在测量之后将漏极接地一次, 再进行下一组源漏极的测量. 若源漏极之间电阻阻值过大, 其值超过 $10\text{ k}\Omega$, 或者过小, 其值小于 $0.5\text{ k}\Omega$, 均判断该 MOSFET 失效. 此外, 对 MOSFET 对所有源极与栅极的通断也进行测量, 将万用电表的红表笔接栅极 (G), 黑表笔接源极 (S). 在测量之后将栅极接地一次, 再进行下一组栅源极的测量. 正常的栅源之间应为开路状态, 若测量时电表读出阻值, 则判断该 MOSFET 失效.

通过对 5 块基板上共 40 个埋置样品进行通断测试, 将合格的埋置模块再进行功能测试. 通过对 MOSFET 的击穿电压和漏电流的测量, 我们进行了功能测试, 测试结果显示: MOSFET 埋入式板级封装样品的漏源击穿电压为 39 V , 高于最小值 30 V , 漏电流为 40 nA , 小于最大值 100 nA , 阈值电压为 1.9 V , 与现有的采用 QFP 封装的商业产品相比, 性能一致.

另一方面, 根据 JEDAC 标准进行了可靠性测试, 测试内容主要为: 125°C 预加热 10 小时后分别进行回流 3 次, 高温高湿加速 (HAST) 实验和温度循环 (TC) 实验, HAST 实验条件为 130°C , $85\%\text{RH}$ 96 小时, TC 实验条件为 -40°C 和 125°C 各 15 分钟其中等待时间也为 15 分钟, 经过 250, 500, 750 和 1000 个循环后分别进行测量.

此外, 还进行了 X 射线和 SEM 分析研究埋入工艺的可靠性及可行性, 图 11 和 12 分别给出了埋入式板级封装模块的 X-ray 分析图片和 SEM 截面图. 从图 11 和 12 可以看出, 整个埋置工艺可行, 可

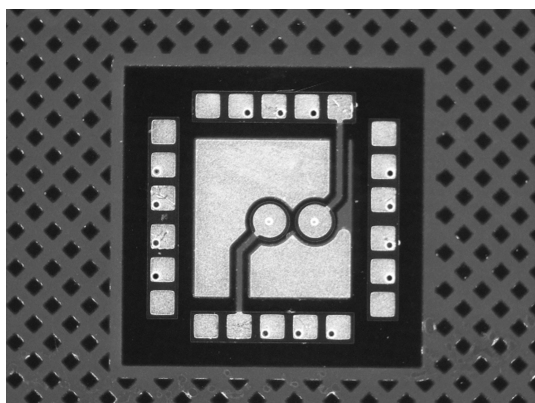


图 10 埋入式板级封装实物图
Figure 10 The photo of the embedded module

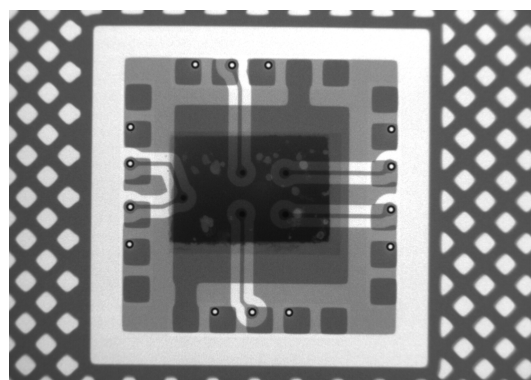


图 11 埋入式板级封装模块的 X-RAY 分析图片
Figure 11 The X-ray images of the embedded module

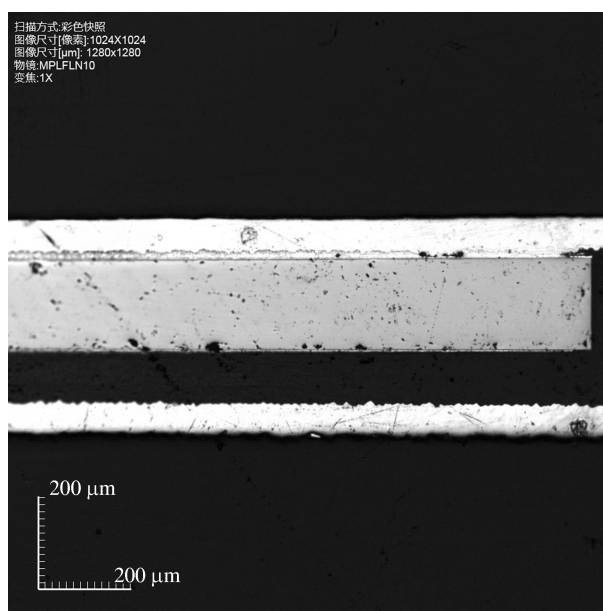


图 12 埋入式板级封装模块的 SEM 截面图
Figure 12 The SEM images of the cross section of the embedded module

可靠性高, 与现有的基板工艺相兼容.

4 结论

本论文在通过对国外埋入有源器件的研究调研的基础上, 自主开发了一种新型的埋入式板级封装技术, 完成了实际功能的有源器件 (MOSFET 功率管) 埋入到有机基板中的尝试, 制作了 MOSFET 的埋入式板级封装模块. 这对于埋入有源器件技术、高密度三维封装技术以及系统级封装的实现与发展具有积极意义与推动作用. 首先, 根据所采用的 MOSFET 功率管的结构, 设计了埋入式板级封装模块的结构, 并对该模块结构进行了热机械仿真, 针对埋入有源器件散热性能较差这一不足, 利用有限元仿真技术对埋入 MOSFET 在自然对流与强制对流条件下的工作时稳态、瞬态温度场进行了数值模

拟计算, 并对所设计的埋入 MOSFET 有机基板模块的散热性能做出评价. 其次, 结合层压和自下而上堆积 build-up 工艺实现该 MOSFET 器件埋入式板级封装模块的制作, 其制作工艺流程与传统的封装工艺和 PCB 板工艺相兼容最后, 对埋入 MOSFET 板级封装模块样品进行了电性能以及可靠性测试, 并通过 X 射线透射检测和扫描电子显微镜检测分析了工艺的可行性.

参考文献

- 1 Chen C S, Liu S F, Wu C K, et al. Embedded capacitors technology in 2.4GHz power amplifier with multi-layer printed wiring board (PWB) process. In: Proceedings of the 4th International Symposium on Electronic Materials and Packaging, Taiwan, 2002. 348–355
- 2 Weng C L, Wei P S, Wu C K, et al. Embedded passives technology for bluetooth application in multi-layer printed wiring board (PWB). In: Proceedings of Electronic Components and Technology, Las Vegas, 2004. 1124–1128
- 3 Meyer T, Ofner G, Bradl S, et al. Embedded wafer level ball grid array (eWLB). In: Proceedings of Electronics Packaging Technology Conference, Singapore, 2008. 1–5
- 4 Jin Y, Baraton X, Yoon S W, et al. Next generation eWLB (embedded wafer level BGA) packaging. In: Proceedings of Electronics Packaging Technology Conference, Singapore, 2010. 520–526
- 5 Palm P, Tuominen R, Kivikero A. Integrated module board (IMB): an advanced manufacturing technology for embedding active components inside organic substrate. In: Proceedings of Electronic Components and Technology Conference, Las Vegas, 2004. 1227–1231
- 6 Boettcher L, Manassis D, Ostmann A, et al. Embedding of chips for system in package realization-technology and applications. In: Proceedings of Electronic Components and Technology Conference, Florida, 2008. 383–386
- 7 Liu F H, Sundaram V, Min S W, Sridaram V, et al. Chip-last embedded actives and passives in thin organic package for 1–110 GHz multiband applications. In: Proceedings of Electronic Components and Technology, Los Angeles, 2010. 758–763
- 8 Kumbhat N, Liu F H, Liu V, et al. Low cost, chip-last embedded ICs in thin organic cores In: Proceedings of Electronic Components and Technology Conference, Florida, 2011. 43–47
- 9 Zhang X, Guo X P, Cui Z Y, et al. Functional substrate development with embedded active components. In: Proceedings of International Conference on Electronic Packaging Technology & High Density Packaging, Shanghai, 2011. 1160–1164

A novel embedded panel level package technology

CAO LiQiang^{1*}, ZHANG Xia^{1*} & YU XieKang²

1 *Advanced Packaging Technology, Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;*

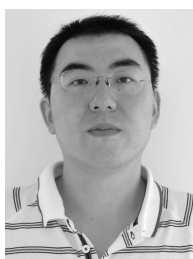
2 *Packaging and Testing Industry Chain Technology Innovation Strategic Alliance, Beijing 100029, China*

*E-mail: caoliqiang@ime.ac.cn, zhangxia@ime.ac.cn

Abstract Consumer and enterprise applications have precipitated an insatiable appetite for ever-increasing density, functionality, and portability requirements of active devices. Such aggressive requirements, which have challenged the viability of conventional packaging technologies, have prompted researchers and engineers to explore suitable alternatives. Garnering the attention of academia and industry is Embedded Panel Level Package. This enabling technology significantly enhances the versatility of the overall package thereby facilitating contemporary density and functionality requirements. A viable process to enable Embedded Panel Level Package would finally

permit designers to incorporate all components on and inside the substrate, thus entailing a 3-D System-in-Package (SiP). In this paper, we illustrate the design, fabrication and testing of embedded MOSFET dies to exemplify the viability of this emerging technology. The impetus of this heuristic study is to develop a practical solution that is conducive to reduced manufacturing costs and truncated time-to-market product development cycles. Thus, we propose a streamlined methodology involving the simulation, optimization and fabrication of active chips embedded in organic substrates by employing a novel hybrid manufacturing process. Emphasis is placed on the simulation of thermal loading conditions and thermal-mechanical properties. It is imperative to incorporate sufficient thermal margins to ensure the viability of the fabricated embedded devices. Optimized thermal-loading and thermal-mechanical designs of the embedded MOSFET die are efficiently facilitated by numerical simulations based on finite element analyses (FEA). Finally, resistance and functional tests of the fabricated embedded MOSFET have been performed thereby demonstrating the viability of the manufacturing process for embedding active devices.

Keywords embedded panel level package, organic substrate, MOSFET bare die, thermal-mechanical simulation



CAO LiQiang obtained his B.S. from University of Science and Technology of China and later received his M.S. and Ph.D. from Chalmers University of Technology, Göteborg, Sweden. Between 2000 and 2005, he was with IVF—The Swedish Institute of Production Engineering Research and the Sino-Swedish Microsystem Integration Technology (SMIT) Center in Sweden as a research fellow. Then he joined Intel

in Oct. 2005 as senior scientist and program manager. Since Feb. 2009, he is a Professor in Institute of Microelectronics, Chinese Academy of Sciences. His research interests focus on the manufacturing process for system-in-a-package (SiP). At the same time, he is interested in design and FEM modeling for mechanical point of view for advanced packaging.



ZHANG Xia received the B.S. degree and M.S. in applied chemistry from Northeast Dianli University, in 2002 and 2005, respectively, and the Ph.D. degree in microtechnology and nanoscience from Chalmers University of Technology, Sweden, in 2009. She is currently an Assistant Researcher of Advanced Packaging Technology in Institute of Microelectronics of Chinese Academy of Sciences. Her research

focuses on advanced 3D packaging technology including embedded active and passive components into organic substrate and 3D folded flexible packaging technology. Current projects: high density 3D System in Package key technology research (02' Major Project) and 3D flexible substrate package development and industrialization (02' Major Project).



YU XieKang senior economist, the county economic experts of Development Research Center, professional managers of the International Registration (Management Master), management division of Center for international cooperation of the National Development and Reform Commission. Now he is Vice Chairman of JiangSu ChangDian Electronics Technology Co., Ltd., he also served as Secretary-General of the Integrated Circuit Pack-

aging and Testing Industry Chain Technology Innovation Strategic Alliance, the Deputy Secretary General of the China Semiconductor Industry Association, Secretary-General of the IC Professional Association, Secretary-General of the Semiconductor Industry Association of Jiangsu Province, Secretary-General of Integration Circuit Industry Innovation Alliance of Jiangsu Province.